

# **phyCORE- AT91M55800A**

## **Hardware-Manual**

**Ausgabe Juni 2002**

Im Buch verwendete Bezeichnungen für Erzeugnisse, die zugleich ein eingetragenes Warenzeichen darstellen, wurden nicht besonders gekennzeichnet. Das Fehlen der © Markierung ist demzufolge nicht gleichbedeutend mit der Tatsache, daß die Bezeichnung als freier Warename gilt. Ebenso wenig kann anhand der verwendeten Bezeichnung auf eventuell vorliegende Patente oder einen Gebrauchsmusterschutz geschlossen werden.

Die Informationen in diesem Handbuch wurden sorgfältig überprüft und können als zutreffend angenommen werden. Dennoch sei ausdrücklich darauf verwiesen, daß die Firma PHYTEC Meßtechnik GmbH weder eine Garantie noch die juristische Verantwortung oder irgendeine Haftung für Folgeschäden übernimmt, die auf den Gebrauch oder den Inhalt dieses Handbuches zurückzuführen sind. Die in diesem Handbuch enthaltenen Angaben können ohne vorherige Ankündigung geändert werden. Die Firma PHYTEC Meßtechnik GmbH geht damit keinerlei Verpflichtungen ein.

Ferner sei ausdrücklich darauf verwiesen, daß PHYTEC Meßtechnik GmbH weder eine Garantie noch die juristische Verantwortung oder irgendeine Haftung für Folgeschäden übernimmt, die auf falschen Gebrauch oder falschen Einsatz der Hard- bzw. Software zurückzuführen sind. Ebenso können ohne vorherige Ankündigung Layout oder Design der Hardware geändert werden. PHYTEC Meßtechnik GmbH geht damit keinerlei Verpflichtungen ein.

© Copyright 2002 PHYTEC Meßtechnik GmbH, D-55129 Mainz.

Alle Rechte vorbehalten. Kein Teil dieses Buches darf in irgendeiner Form ohne schriftliche Genehmigung der Firma PHYTEC Meßtechnik GmbH unter Einsatz entsprechender Systeme reproduziert, verarbeitet, vervielfältigt oder verbreitet werden.

Informieren Sie sich:

	EUROPA	NORD AMERIKA
Adresse:	PHYTEC Technologie Holding AG Robert-Koch-Str. 39 D-55129 Mainz GERMANY	PHYTEC America LLC 203 Parfitt Way SW, Suite G100 Bainbridge Island, WA 98110 USA
Angebots Hotline:	+49 (800) 0749832 <a href="mailto:order@phytec.de">order@phytec.de</a>	+1 (800) 278-9913 <a href="mailto:info@phytec.com">info@phytec.com</a>
Technische Hotline:	+49 (6131) 9221-31 <a href="mailto:support@phytec.de">support@phytec.de</a>	+1 (800) 278-9913 <a href="mailto:support@phytec.com">support@phytec.com</a>
Fax:	+49 (6131) 9221-33	+1 (206) 780-9135
Web Seite:	<a href="http://www.phytec.de">http://www.phytec.de</a>	<a href="http://www.phytec.com">http://www.phytec.com</a>

1. Auflage Juni 2002

<b>Einleitung</b>	<b>1</b>
<b>1 Kurzübersicht über das phyCORE-AT91M55800A</b>	<b>3</b>
1.1 Blockschaltbild	6
1.2 Ansicht des phyCORE-AT91M55800A	6
<b>2 Anschlußbelegung</b>	<b>7</b>
<b>3 Jumper</b>	<b>15</b>
3.1 J1, J2 Erste Serielle Schnittstelle	19
3.2 J3 bis J9 SPI-Interface	20
3.3 J10, J11 Dritte Serielle Schnittstelle	21
3.4 J33 Reset-Signal für CAN-Controller 82C900	22
3.5 J12, J13 Konfiguration RAM Speicher	23
3.6 J18, J19 Konfiguration Flash Speicher	24
3.7 J14, J15, J16, J17 CAN-Schnittstellen	25
3.8 J20, J21 A/D- und D/A-Wandler	26
3.9 J22 Konfiguration des Backup-Reset	27
3.10 J23, J35 CAN-Transceiver Konfiguration	28
3.11 J24 Twin-CAN-Controller Konfiguration	28
3.12 J25 Versorgungsspannung SRAM	29
3.13 J26, J28, J34 Konfiguration Ethernet-Controller CS8900A	29
3.14 J29, J30 Chip-Select Konfiguration	31
3.15 J31 Schreibschutz des EEPROM	31
3.16 J32 Versorgungsspannung der I/O Pins des AT91M55800A	32
3.17 J36 CLKIN Konfiguration	32
3.18 J37 /WAIT-Konfiguration	33
3.19 J38, J39 Zweiten Serielle Schnittstelle	34
<b>4 System-Konfiguration</b>	<b>35</b>
4.1 System-Startup-Konfiguration	35
<b>5 Speichermodell</b>	<b>37</b>
<b>6 Serielle Schnittstellen</b>	<b>41</b>
6.1 RS-232 Schnittstelle	41
6.2 CAN-Schnittstelle	42
<b>7 Serielles EEPROM (U29)</b>	<b>43</b>
<b>8 Flash Speicher (U6-U9)</b>	<b>44</b>
<b>9 Batteriepufferung</b>	<b>45</b>
<b>10 Debug-Schnittstelle</b>	<b>47</b>

<b>11</b>	<b>Technische Daten .....</b>	<b>49</b>
<b>12</b>	<b>Hinweise zum Umgang mit dem phyCORE-AT91M55800A.....</b>	<b>51</b>
<b>13</b>	<b>Das phyCORE-AT91M55800A auf dem Development Board phyCORE-HD200.....</b>	<b>53</b>
13.1	Das Konzept des Development Board phyCORE-HD200.....	53
13.2	Anschlüsse und Jumper des Development Board phyCORE-HD200 .....	55
13.2.1	Anschlüsse.....	55
13.2.2	Jumper des Development Boardes phyCORE-HD200 .....	57
13.2.3	Nicht unterstützte Features und unzulässige Jumper-Stellungen.....	59
13.3	Funktionsgruppen des Development Board .....	60
13.3.1	Spannungsversorgung an X1.....	60
13.3.2	Erste Serielle Schnittstelle an Buchse P1A.....	62
13.3.3	Zweite Serielle Schnittstelle an Buchse P1B .....	64
13.3.4	Dritte Serielle Schnittstelle an Buchse P1B .....	66
13.3.5	Erste CAN-Schnittstelle an Stecker P2A .....	68
13.3.6	Zweite CAN-Schnittstelle an Stecker P2B .....	69
13.3.7	Visualisierungs-LED D3 .....	70
13.3.8	Die Belegungen des phyCORE, des Expansion-Bus und des Patchfeldes im Überblick.....	70
13.3.9	Batterieanschluß BAT1 .....	79
13.3.10	Nummernchip.....	79
13.3.11	Stiftleiste X4.....	80
<b>Index</b>	<b>.....</b>	<b>81</b>

## **Bildverzeichnis**

Bild 1:	Blockschaltbild phyCORE-AT91M55800A .....	6
Bild 2:	Ansicht des phyCORE-AT91M55800A.....	6
Bild 3:	Pinout des phyCORE-Connectors (Drauf-/Durchsicht von oben) .....	9
Bild 4:	Zählweise der Jumper .....	15
Bild 5:	Lage der Jumper (Ansicht Microcontrollerseite / Connectorseite).....	15
Bild 6:	Beispiele für Speichermodelle.....	40
Bild 7:	JTAG-Schnittstelle .....	47
Bild 8:	Mechanische Abmaße.....	49
Bild 9:	Das Mehrplatinenkonzept mit phyCORE-AT91M55800A, Development Board und Erweiterungsplatine.....	54
Bild 10:	Lage der Anschlüsse auf dem Development Board phyCORE-HD200.....	55
Bild 11:	Zählweise der Jumper .....	57
Bild 12:	Lage der Jumper (Ansicht Bestückungsseite) .....	57
Bild 13:	Default Jumper-Stellungen des Development Board HD200 für Standard phyCORE-AT91M55800A (nicht maßstabsgetreu).....	58
Bild 14:	Anschluß der Versorgungsspannung an X1 .....	61
Bild 15:	Belegung der DB-9 Buchse P1A als erste RS-232 (Ansicht Vorderseite) .....	62
Bild 16:	Belegung der DB-9 Buchse P1B als 2. RS-232 (Ansicht Vorderseite) .....	64
Bild 17:	Belegung der DB-9 Buchse P1B als dritte RS-232 (Ansicht Vorderseite) .....	67
Bild 18:	Belegung des DB9-Steckers P2A (CAN-Treiber auf phyCORE-AT91M55800A) .....	68
Bild 19:	Belegung des DB-9 Steckers P2B (CAN-Treiber auf phyCORE-AT91M55800A) .....	69
Bild 20:	Zählweise für den Expansion-Bus .....	71
Bild 21:	Zählweise des Patchfeldes .....	71

Bild 22: Anschluß des Nummernchips.....	80
Bild 23: Pinbelegung Nummernchip.....	80

## **Tabellenverzeichnis**

Tabelle 1: Pinout des phyCORE-Connectors X1 .....	13
Tabelle 2: Jumperbelegung .....	18
Tabelle 3: J1, J2 Konfiguration Erste Serielle Schnittstelle.....	19
Tabelle 4: J3, J4, J5 SPI-Interface (Bussignale) .....	20
Tabelle 5: J6, J7, J8, J9 SPI-Interface (Controlsignale).....	20
Tabelle 6: J10, J11 Konfiguration Dritte Serielle Schnittstelle.....	21
Tabelle 7: J33 Konfiguration des Reset-Signal des CAN-Controllers ....	22
Tabelle 8: J12, J13 Konfiguration RAM Speichergröße.....	23
Tabelle 9: J18, J19 Konfiguration Flash Speichergröße .....	24
Tabelle 10: J14, J15, J16 und J17 Konfiguration CAN-Schnittstellen .....	25
Tabelle 11: J20, J21 Referenzspannungen der A/D- und D/A-Wandler....	26
Tabelle 12: J20, J21 Konfiguration RTC Reset .....	27
Tabelle 13: J23, J35 CAN-Transceiver Konfiguration .....	28
Tabelle 14: J24 Twin-CAN-Controller Konfiguraion.....	28
Tabelle 15: J25 Versorgungsspannung SRAM .....	29
Tabelle 16: J28 Konfiguration Ethernet Chip-Select Signal.....	30
Tabelle 17: J26 Konfiguration Ethernet Modus.....	30
Tabelle 18: J34 Konfiguration Ethernet Interrupt-Signal .....	30
Tabelle 19: J29, J30 Chip-Select Konfiguration .....	31
Tabelle 20: J31 Konfiguration EEPROM Schreibschutz.....	31
Tabelle 21: J32 Konfiguration I/O Versorgungsspannung .....	32
Tabelle 22: J36 CLKIN-Konfiguration .....	32
Tabelle 23: J37 /Wait-Konfiguration .....	33
Tabelle 24: J38, J39 Konfiguration Zweite Serielle Schnittstelle.....	34
Tabelle 25: Belegung der Portpins für die System-Startup-Konfiguration.	36
Tabelle 26: Bestückungsoptionen für U29 .....	43
Tabelle 27: E <sup>2</sup> PROM Schreibschutz .....	43

---

Tabelle 28: JTAG-Modi .....	48
Tabelle 29: Unzulässige Jumper-Stellung JP30/JP33 auf dem Development Board.....	59
Tabelle 30: JP9, J16 Konfiguration der Hauptversorgungsspannung VCC und VCC2.....	60
Tabelle 31: Unzulässige Jumper-Stellungen JP9 und J16 auf dem Development Board.....	61
Tabelle 32: Jumper-Konfiguration der DB-9 Buchse P1A (1. RS-232) .....	62
Tabelle 33: Unzulässige Jumper-Stellungen bei der Konfiguration von P1A als Erste RS-232 Schnittstelle .....	63
Tabelle 34: Jumper-Konfiguration der DB-9 Buchse P1B (2. RS-232).....	64
Tabelle 35: Unzulässige Jumper-Stellungen bei der Konfiguration von P1B als Zweite RS-232 Schnittstelle .....	65
Tabelle 36: Jumper-Konfiguration der DB-9 Buchse P1B (3. RS-232).....	66
Tabelle 37: Unzulässige Jumper-Stellungen bei der Konfiguration von P1B als Dritte RS-232 Schnittstelle .....	67
Tabelle 38: Jumper-Konfiguration des CAN-Steckers P2A mit CAN-Treiber auf phyCORE-AT91M55800A .....	68
Tabelle 39: Jumper-Konfiguration des CAN-Steckers P2B mit CAN-Treiber auf phyCORE-AT91M55800A .....	69
Tabelle 40: JP17 Konfiguration der Visualisierungs-LED D3 .....	70
Tabelle 41: Daten/Adressbus-Pinzuordnung phyCORE-AT91M55800A / Development Board / Erweiterungsplatine .....	72
Tabelle 42: Pinzuordnung Adress/Steuerbus und Analogteil phyCORE-AT91M55800A / Development Board / Erweiterungsplatine.....	73
Tabelle 43: Pinzuordnung Port PA phyCORE-AT91M55800A / Development Board / Erweiterungsplatine .....	74
Tabelle 44: Pinzuordnung Port PB phyCORE-AT91M55800A / Development Board / Erweiterungsplatine .....	75
Tabelle 45: Schnittstellen-Pinzuordnung phyCORE-AT91M55800A / Development Board / Erweiterungsplatine .....	76
Tabelle 46: Versorgungsspannungs-Pinzuordnung phyCORE-AT91M55800A / Development Board / Erweiterungsplatine.....	77

---

Tabelle 47: Nicht verwendete Pins des phyCORE-AT91M55800A beim Development Board und der Erweiterungsplatine .....	78
Tabelle 48: JP19 Konfiguration des Nummernchip .....	79



## Einleitung

Dieses Handbuch beschreibt nur die Schaltung und Funktionen des phyCORE-AT91M55800A. Es wird ergänzt durch das Microcontrollerhandbuch z.B. "AT91M55800A" von ATMEL sowie die Dokumentation zu gegebenenfalls mitgelieferter Software. Bitte beachten Sie daher auch diese Dokumentationen.

In diesem Handbuch sowie im dazugehörigen Schaltplan werden low-aktive Signale durch einen Schrägstrich "/" vor dem Signalnamen gekennzeichnet (z.B. "/RD"). Die Darstellung "0" deutet auf eine logische Null oder low-Pegel hin, während "1" für eine logische Eins oder high-Pegel steht.

### Anmerkungen zum EMV-Gesetz für das phyCORE-AT91M55800A



Das phyCORE-AT91M55800A (im Folgenden Produkt genannt) ist als Zulieferteil für den Einbau in ein Gerät (Weiterverarbeitung durch Industrie (siehe § 5 Abs. 5 EMVG)) bzw. als Evaluierungsboard für den Laborbetrieb (zur Hardware- und Softwareentwicklung) bestimmt.

#### **Achtung!**

Das Produkt ist ESD empfindlich und darf nur an ESD geschützten Arbeitsplätzen von geschultem Fachpersonal ausgepackt und gehandhabt bzw. verarbeitet werden. Im Betrieb dürfen ohne weitere Schutzbeschaltung und Prüfung keine Leitungen von mehr als 3 m Länge an die Verbinder angeschlossen werden.

Das Produkt erfüllt die Anforderungen des EMVG (CE-Konformität) nur für den in diesem Handbuch beschriebenen Anwendungsbereich unter Einhaltung der gegebenen Hinweise zur Inbetriebnahme.

Nach dem Einbau in ein Gerät oder bei Änderungen/Erweiterungen an diesem Produkt muß die Konformität nach dem EMV-Gesetz neu festgestellt und bescheinigt werden. Erst danach dürfen solche Geräte in Verkehr gebracht werden.

Auszug aus dem EMVG § 5 Abs. 5

Geräte, die ausschließlich zur Verwendung in eigenen Laboratorien, Werkstätten und Räumen hergestellt, Anlagen, die erst am Betriebsort zusammengesetzt werden, und Netze bedürfen keiner EG-Konformitätserklärung und CE-Kennzeichnung.

Dies gilt auch für Bausätze, die ausschließlich für Funkamateure im Sinne des § 1 Abs. 2 hergestellt und bestimmt sind.

Geräte, die ausschließlich als Zulieferteile oder Ersatzteile zur Weiterverarbeitung durch Industrie, Handwerk oder sonstige auf dem Gebiet der elektromagnetischen Verträglichkeit fachkundige Betriebe hergestellt und bereitgehalten werden, brauchen weder die Schutzanforderungen gemäß § 4 Abs. 1 einzuhalten noch bedürfen sie einer EG-Konformitätserklärung oder CE-Kennzeichnung, vorausgesetzt, es handelt sich dabei nicht um selbständig betreibbare Geräte.

Das phyCORE-AT91M55800A ist ein Modul aus der Serie der nano-/micro-/mini-/phyCORE-Module der Firma PHYTEC, und dadurch ihren Aufbau eine Vielzahl von Funktionen und Konfigurationen ermöglichen.

PHYTEC unterstützt alle gängigen 8- und 16-bit sowie ausgewählte 32-bit Microcontroller auf zwei Arten:

- (1) als Grundlage für Starter Kits, die die Kombination mit benutzer-eigenen Schaltungen auf einem eigens dafür vorgesehenen Wrap-Feld erlauben und
- (2) als universelle, sofort einsetzbare, voll funktionsfähige micro-, mini- und phyCORE-Module, die direkt in die benutzereigene Peripherie-Schaltung eingesteckt werden können.

Mit dem Konzept der Microcontroller-Module von PHYTEC ist es Entwicklungsingenieuren möglich, Entwicklungszeiten zu verkürzen, Entwicklungskosten zu reduzieren, und die Durchführung eines Projektes von der Idee bis zur Markteinführung wesentlich zu beschleunigen. Für weitere Informationen wenden Sie sich bitte an folgende Adressen:

	EUROPA	NORD AMERIKA
Adresse:	PHYTEC Technologie Holding AG Robert-Koch-Str. 39 D-55129 Mainz GERMANY	PHYTEC America LLC 203 Parfitt Way SW, Suite G100 Bainbridge Island, WA 98110 USA
Web Seite:	<a href="http://www.phytec.de">http://www.phytec.de</a>	<a href="http://www.phytec.com">http://www.phytec.com</a>
e-mail:	<a href="mailto:info@phytec.de">info@phytec.de</a>	<a href="mailto:info@phytec.com">info@phytec.com</a>
Tel.:	+49 (6131) 9221-0	+1 (800) 278-9913
Fax:	+49 (6131) 9221-33	+1 (206) 780-9135

## **1 Kurzübersicht über das phyCORE-AT91M55800A**

Das phyCORE-AT91M55800A gehört zur Familie von PHYTECs phyCORE-Modulen. Die phyCORE Modulfamilie stellt die konsequente Weiterentwicklung der bekannten mini-, micro- und nanoMODULE von PHYTEC dar. Genauso wie mini-, micro- und nanoMODULE vereinen die phyCORE-Module alle notwendigen Komponenten eines Embedded Microcontroller Systems auf kleinster Fläche. Sie sind für die einfache Erweiterung bzw. Implementierung in unterschiedliche periphere Schaltungen und kundenspezifische Applikationen designed.

Die phyCORE Modulfamilie zeichnet sich unter anderem durch eine wesentlich erhöhte Anzahl von Anschlüssen aus. Dabei sind ca. 20 % aller Anschlüsse Masseverbindungen. Dies ist ein Resultat unabhängiger Untersuchungen, die gezeigt haben, daß ca. 70 % aller EMV-Probleme (elektromagnetische Verträglichkeit) auf unzureichende Masseverbindungen zurückzuführen sind. Dies trifft insbesondere in Umgebungen mit hochfrequenter Störstrahlung zu. Aufgrund der hohen Anzahl von Masseanschlüssen bei der phyCORE-Modulfamilie werden die EMV-Eigenschaften erheblich verbessert, wodurch der Einsatz von phyCORE-Modulen die einfache Einhaltung von EMV-Richtlinien selbst in stark gestörten Umgebungen ermöglicht.

phyCORE-Module sind durch die konsequente Anwendung moderner SMD-Technik, Multilayer-Design, kleinsten Bauteileformen und lasergebohrten Microvias extrem kompakt. Damit können Benutzer von phyCORE-Modulen diese 'state of the art' Techniken in ihrer eigenen Applikation implementieren und nutzen.

Unser Haus sieht sich in diesem Zusammenhang in der Verantwortung als zuverlässiger Partner und ISO 9001 zertifizierter, termintreuer Lieferant, den Einsatz unserer Microcontroller-Module in Ihrer Produktserie zu ermöglichen. Dies ist eine wichtige Voraussetzung für den Erfolg Ihres Produktes.

Das phyCORE-AT91M55800A ist ein universelles Microcontroller-board im Format 60 x 53 mm. Es ist mit dem Microcontroller AT91M55800A von ATMEL bestückt.

Das universelle Design ermöglicht die einfache Integration des phyCORE-AT91M55800A in eine Vielzahl von Applikationen. Da alle Microcontrollersignale, sowie Ein- und Ausgänge auf die beiden Stiftleisten im Rastermaß 0,635 mm auf der Unterseite des Boards geführt sind, kann das phyCORE-AT91M55800A wie ein großer Chip in eigene Zielhardware gesteckt werden.

Die controllerspezifischen Eigenschaften entnehmen Sie bitte dem Handbuch zum Microcontroller; im Hardware-Manual zum phyCORE-AT91M55800A wird auf keinerlei Besonderheiten des Microcontrollers näher eingegangen, da diese für die grundlegende Funktion des phyCORE-AT91M55800A ohne Belang sind.

**Das phyCORE-AT91M55800A bietet folgende Features:**

- Microcontroller-Board im Format 60 mm x 53 mm durch Einsatz moderner SMD-Technik
- bestückt mit ATMEL AT91M55800A Microcontroller (BGA-176)
- verbesserte Störsicherheit durch Multilayer-Technik sowie verringerte Störabstrahlung durch verbesserte Masseanbindung
- alle Ports sowie Daten- und Adressleitungen auf Platinenunterseite über zwei 100-polige high-density (0,635 mm) Molex-Verbinder verfügbar
- aufsetzbar auf die Anwendungsschaltung wie ein großer Chip
- 16-bit, demultiplexed Busmode
- 32 MHz CPU-Takt (31,25 ns Befehlszyklus)
- 128 MByte Adressraum
- 1 MByte – 16 MByte Flash on-board<sup>1</sup>
- on-board Flash-Programmierung
- keine separate Programmierspannung durch Verwendung von 3,3 V Flash-Bausteinen
- 512 kByte – 8 MByte RAM on-board (max. 2 MByte bei 0 Waitstates)<sup>1</sup>
- optionaler TwinCAN-Controller Infineon 82C900 mit CAN-Treiber Philips 82C251 bzw. Infineon TLE6250
- 2 bis 8 kByte SPI-EEPROM<sup>1</sup>
- Voltage Supervisor Chip für Reset-Logik
- bis zu 6 freie Chip-Select Signale für einfachen Anschluß externer Peripherie
- zwei Versorgungsspannungen 3,3 V und 5 V, typ. < 220 mA
- RS-232 Transceiver für drei serielle Schnittstellen
- optionaler Ethernet-Baustein CS8900A mit EEPROM

---

<sup>1</sup>: Lassen Sie sich von PHYTEC über weitere Bestückungsvarianten beraten.

## 1.1 Blockschaltbild

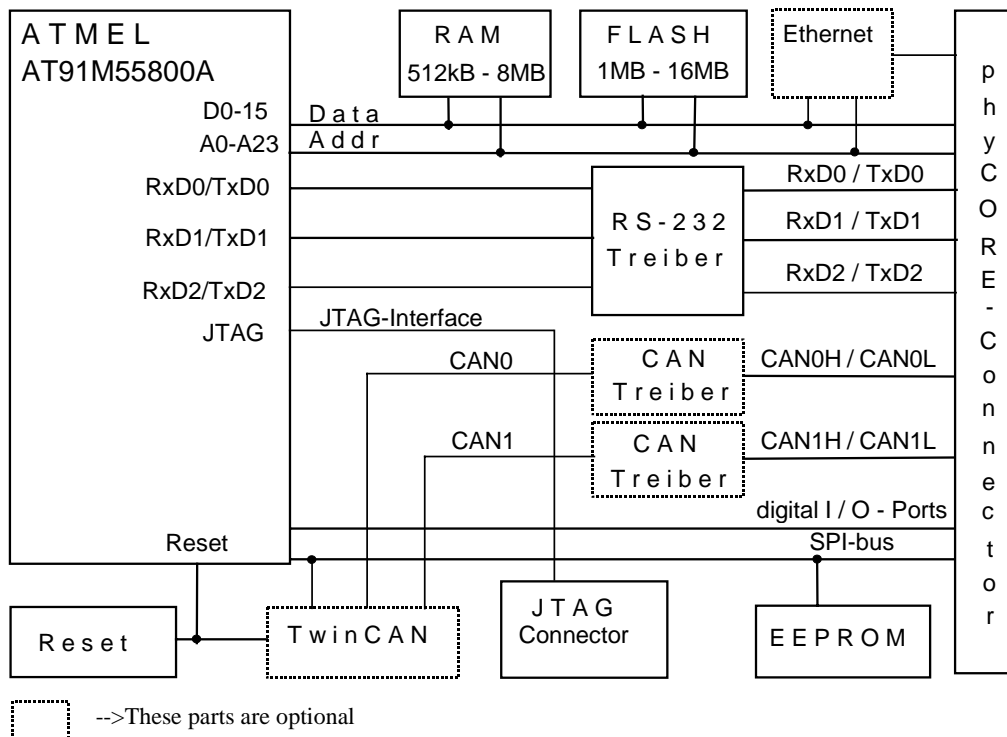


Bild 1: Blockschaltbild phyCORE-AT91M55800A

## 1.2 Ansicht des phyCORE-AT91M55800A

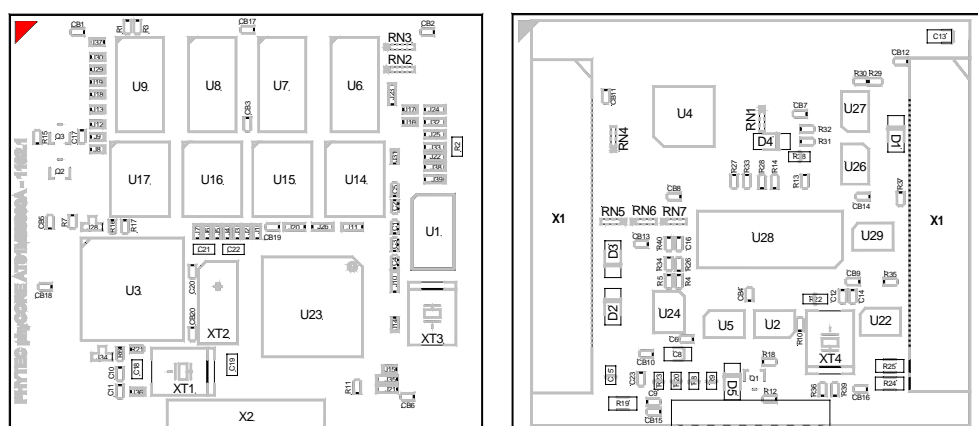


Bild 2: Ansicht des phyCORE-AT91M55800A

## 2 Anschlußbelegung

Es sei ausdrücklich darauf hingewiesen, daß bei allen Modulanschlüssen unbedingt die Maximalspannungen und -ströme nicht überschritten werden dürfen. Die Grenzwerte hierfür können Sie dem jeweiligen Controller-Handbuch entnehmen. Da eventuell auftretende Störungen stark vom Einsatzgebiet bzw. Anwendungsfall abhängen, obliegt es der Verantwortung des Anwenders, in entsprechend kritischer Umgebung geeignete Schutzmaßnahmen zu treffen.

Wie in *Bild 3* dargestellt, werden alle relevanten Signale an zwei Seiten des Moduls auf SMT-Stiftleisten im Rastermaß 0,635 mm (im folgenden phyCORE-Connector genannt) an den Platinenrand geführt. Damit kann das phyCORE-AT91M55800A wie ein großer Chip in verschiedene Applikationen integriert werden.

Im Rahmen der phyCORE-Spezifikation wurde eine neue Zählweise für die Pins des phyCORE-Connectors eingeführt. Diese Zählweise erleichtert das Auffinden der Position von gesuchten Pins und beugt Mißverständnissen und Fehlern bei der Übertragung der Pinbelegung von den phyCORE-Modulen auf die entsprechenden Sockel der Anwendungsschaltung oder des Development Boardes vor.

Die Nummerierung des phyCORE-Connectors in dieser neuen Zählweise ergibt sich aus einer zweidimensionalen Zählmatrix bei der den Spalten Buchstaben und den Zeilen Zahlen zugeordnet sind. Dabei befindet sich Pin 1A immer in der linken, oberen Ecke der Zählmatrix. Die Ziffern werden von dieser Ecke nach unten aufsteigend gezählt, während die Buchstaben nach rechts aufsteigen (*siehe Bild 3*).

Die Zählmatrix wird gedanklich von oben auf das phyCORE-AT91M55800A (Draufsicht; phyCORE-Connector zeigt nach unten) oder auf den entsprechenden Sockel des phyCORE Development Boardes/der Anwendungsschaltung gelegt. Dabei wird die linke obere Ecke der Zählmatrix (Pin 1A) mit der durch ein weißes Dreieck markierten Ecke des phyCORE-AT91M55800A zur Deckung gebracht. Selbst wenn ein phyCORE-Modul nur Kontakte auf der Unterseite führt, wird die Numerierung immer gleichermaßen durch das "Auflegen" der Zählmatrix auf die Oberseite bzw. Draufsicht definiert.

Der Vorteil dieser Vorgehensweise besteht darin, daß jeder Pin des phyCORE-Moduls die gleiche Pin-Nummer führt wie der korrespondierende Pin des entsprechenden Sockels auf dem phyCORE Development Board. Die Verwechslungsgefahr ist damit ausgesprochen gering.

Da die Pins über die oben beschriebene Zählmatrix exakt definiert sind, werden die Steckverbinder des phyCORE-Connectors jeweils nur unter einem einzelnen Bezeichner (beispielsweise X1) zusammengefaßt. Sie bilden somit immer eine logische Einheit, ungeachtet der Tatsache, daß es sich um mehrere physikalische Steckverbinder handeln kann. Die mit einem weißen Dreieck versehene Ecke im Bestückungsdruck gibt die Position der Zeile 1 an und erleichtert damit die Orientierung.



Das folgende Bild (siehe Bild 3) dient der Verdeutlichung der Zählmatrix. Es zeigt ein auf dem phyCORE Development Board steckendes phyCORE-AT91M55800A mit seinen gestrichelt angedeuteten SMD-Steckverbindern auf der Unterseite. Des besseren Verständnisses wegen sind Teile des phyCORE-Moduls "weggebrochen", um die darunterliegenden Steckverbinder des Development Boardes anzudeuten.

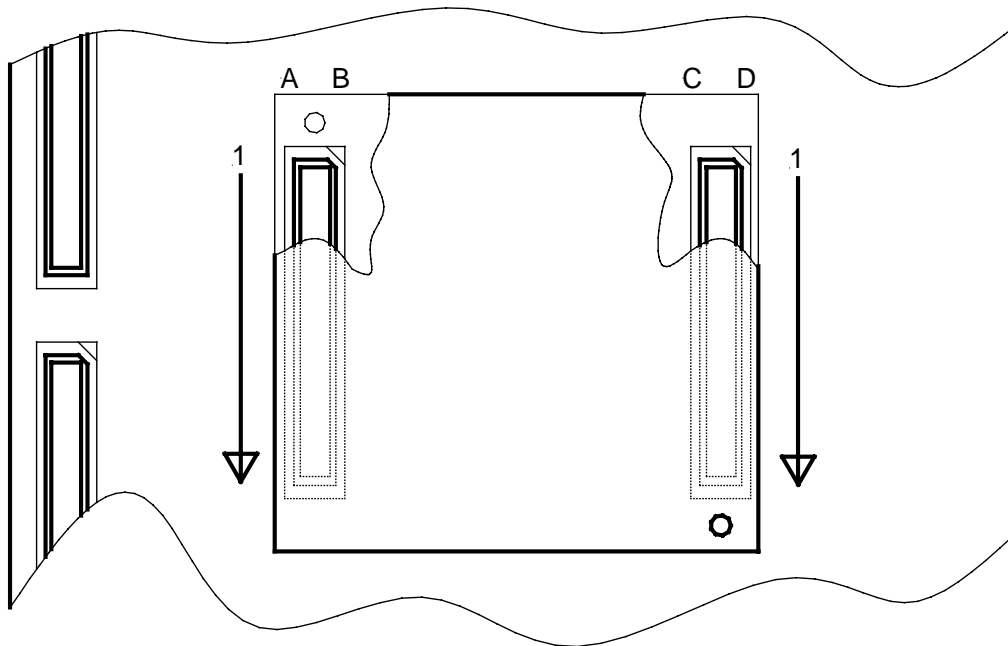


Bild 3: Pinout des phyCORE-Connectors (Drauf-/Durchsicht von oben)

Viele der am phyCORE-Connector verfügbaren Portpins des Microcontrollers sind mit alternativen Funktionen versehen, die in der Regel durch die Software entsprechend aktiviert werden müssen.

*Tabelle 1* gibt eine Übersicht über die Belegung des phyCORE-Connectors, sowie Hinweise auf mögliche Alternativfunktionen einiger Portpins. Bitte ziehen Sie im Zweifelsfall das Data Sheet des ATMEL AT91M55800A zu Rate.

Pin-Nr.	Bezeichnung	E/A	Beschreibung
<b>Leiste X1A</b>			
1A	CLKIN	E	optionaler externer Taktgenerator (nur in Verbindung mit gesetztem Jumper J36)
2A, 7A, 12A, 17A, 22A, 27A, 32A, 37A, 42A, 47A	GND	-	Schaltungsmasse 0 V
3A	PA10	E/A	External Interrupt 1 Eingang (E)
4A	PA12	E/A	External Interrupt 3 Eingang (E)
5A	/CS0	A	Chip-Select #0
6A	/CS2	A	Chip-Select #2
8A	/WR	A	/WR-Signal des $\mu$ C
9A, 10A, 11A, 13A, 14A, 15A, 16A, 18A, 24A, 25A, 26A, 28A	A1, A2, A4, A7, A9, A10, A12, A15, A17, A18, A20, A23	A	Adressleitungen des $\mu$ C
19A, 20A, 21A, 23A, 29A, 30A, 31A, 33A	D1, D2, D4, D7, D9, D10, D12, D15	E/A	Datenleitung des $\mu$ C
34A	/WAIT	E	/WAIT-Signal des $\mu$ C
35A	/CS4	A	Chip-Select #4
36A	/CS6	A	Chip-Select #6
38A, 39A, 40A, 41A, 43A	PB9, PB11, PB12, PB14, PB17	E/A	Port B des $\mu$ C ( <i>siehe Controller-Handbuch</i> )
44A	PB19	E/A E	Port B19 des $\mu$ C TCLK0 Timer0 external Clock
45A	PB20	E/A	Port B20 des $\mu$ C Timer0 I/O Pin A
46A	PB22	E/A E	Port B22 des $\mu$ C TCLK1 Timer1 external Clock
48A	PB25	E/A E	Port B25 des $\mu$ C TCLK2 Timer2 external Clock
49A	PB27	E/A	Port B27 des $\mu$ C Timer2 I/O Pin B
50A	NC	-	Unbelegt Diese Kontakte sollten auf der Applikationsseite ebenfalls unbelegt bleiben.

Pin-Nr.	Bezeichnung	E/A	Beschreibung
<b>Leiste X1B</b>			
1B	MCKO	A	CLKOUT System Clock Ausgang
2B, 3B	PA9, PA11	E/A	Port A9 des $\mu$ C, Ext. Interrupt 0 Eingang (E) Port A11 des $\mu$ C, Ext Interrupt 2 Eingang (E)
4B, 9B, 14B, 19B, 24B, 29B, 34B, 39B, 44B, 49B	GND	-	Schaltungsmasse
5B	/CS1	A	Chip-Select #1
6B	/CS3	A	Chip-Select #3
7B	/RD	A	/RD-Signal des $\mu$ C
8B, 10B, 11B, 12B, 13B, 15B, 16B, 17B, 23B, 25B, 26B, 27B,	A0, A3, A5, A6, A8, A11, A13, A14, A16, A19, A21, A22	A	Adressleitungen des $\mu$ C
18B, 20B, 21B, 22B, 28B, 30B, 31B, 32B	D0, D3, D5, D6, D8, D11, D13, D14	E/A	Datenleitungen des $\mu$ C
33B	/UB	A	/UB, Upper Byte Select
35B	/CS5	A	Chip-Select #5
36B	/CS7	A	Chip-Select #7
37B, 38B, 40B, 41B, 42B	PB8, PB10, PB13, PB15, PB16	E/A	Port B des $\mu$ C ( <i>siehe Controller-Handbuch</i> )
43B	PB18 (BMS)	E/A E	Port B18 des $\mu$ C Boot Mode Select
45B	PB21	E/A	Port B21 des $\mu$ C Timer0 I/O Pin B
46B	PB23	E/A	Port B23 des $\mu$ C Timer1 I/O Pin A
47B	PB24	E/A	Port B24 des $\mu$ C Timer1 I/O Pin B
48B	PB26	E/A	Port B26 des $\mu$ C Timer2 I/O Pin A
50B	PB5	E/A	Port B5 des $\mu$ C, Ext. Interrupt 6 Eingang (E)

Pin-Nr.	Bezeichnung	E/A	Beschreibung
<b>Leiste X1C</b>			
1C, 2C	VCC	-	Versorgungsspannung +3,3 VDC
3C, 7C, 12C, 17C, 22C, 27C, 32C, 37C	GND	-	Schaltungsmasse 0 V
4C, 5C	VCC2	-	Versorgungsspannung +5 VDC
6C	VBAT	E	Batterie-Eingang (Pufferung von RTC und RAM)
8C	/WDOVF	A	Watchdog Timer Ausgang
9C	PA17	E/A E/A	Port A17 des $\mu$ C SCK1 External Serial Clock1
10C	/RESET	E	/RESET-Eingang des phyCORE-AT91M55800A
11C	/SHDN	A	/SHDN Shutdown-Signal des $\mu$ C
13C	PA2	E/A	Port A2 des $\mu$ C - Timer3 I/O Pin B
14C	PA4	E/A	Port A4 des $\mu$ C - Timer4 I/O Pin A
15C	PA5	E/A	Port A5 des $\mu$ C - Timer4 I/O Pin B
16C	PA7	E/A	Port A7 des $\mu$ C - Timer5 I/O Pin A
18C	CAN-H1	E/A	Differentielle CANH-Leitung des zweiten CAN-Treibers
19C	SCK0	E/A	External Serial Clock 0
20C	WAKEUP	E	Wakeup-Eingang
21C	RxD1_RS-232	E	Eingang der zweiten seriellen Schnittstelle des phyCORE-AT91M55800A, RS-232-Pegel
23C	TxD1_RS-232	A	Ausgang der zweiten seriellen Schnittstelle des phyCORE-AT91M55800A, RS-232-Pegel
24C	RxD2_RS-232	E	Eingang der dritten seriellen Schnittstelle des phyCORE-AT91M55800A, RS-232-Pegel
25C	TxD2_RS-232	A	Ausgang der dritten seriellen Schnittstelle des phyCORE-AT91M55800A, RS-232-Pegel
26C	/PCS0	E/A	SPI Chip-Select 0
28C	MOSI	E/A	Master-Out-Slave-In
29C	/PCS2	A	SPI Chip-Select 2
30C	/PCS3	A	SPI Chip-Select 3
31C	PB1	E/A	Port B1 des $\mu$ C
33C	LINK_LED	A	Ausgang der Ethernet-Schnittstelle für LINK-LED
34C	LAN_LED	A	Ausgang der Ethernet-Schnittstelle für LAN-LED
35C	RxD-	E	Negativer Rx-Eingang der Ethernet-Schnittstelle
36C	TxD-	A	Negativer Tx-Ausgang der Ethernet-Schnittstelle
38C	TDI	E	Daten-Eingang der JTAG-Schnittstelle
39C	/TRST	E	Reset-Eingang der JTAG-Schnittstelle
40C	TCK	E	Takt-Eingang der JTAG-Schnittstelle
41C	PA8	E/A	Port A8 des $\mu$ C - Timer5 I/O Pin B
42C, 47C	VAGND	-	Analog-Masse des $\mu$ C
43C	DA0	A	Analog-Ausgang 0 des $\mu$ C
44C, 45C	AD1TRIG, AD0TRIG	E	Trigger-Eingänge der A/D-Wandler
46C, 48C, 49C, 50C	AD6, AD3, AD1, AD0	E	Analog-Eingänge des $\mu$ C

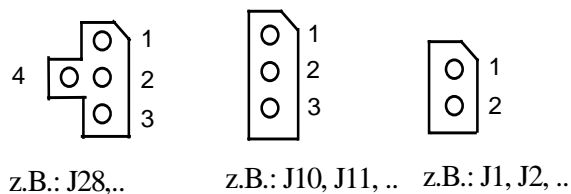
Pin-Nr.	Bezeichnung	E/A	Beschreibung
<b>Leiste X1D</b>			
1D, 2D	VCC	-	Versorgungsspannung +3,3 V =
3D, 9D, 14D, 19D, 24D, 29D, 34D, 39D	GND	-	Schaltungsmasse 0 V
4D, 5D, 7D, 8D	NC	-	Unbelegt Diese Kontakte sollten auf der Applikationsseite ebenfalls unbelegt bleiben.
6D	VPD	A	Ausgang der gepufferten Versorgungsspannung zur Pufferung externer Komponenten
10D	/RESIN	E	/RESET-Eingang des phyCORE-AT91M55800A
11D	PA0	E/A E	Port A0 des µC TCLK3 Timer3 external Clock
12D	PA1	E/A	Port A1 des µC – Timer3 I/O Pin A
13D	PA3	E/A E	Port A3 des µC TCLK4 Timer4 external Clock
15D	PA6	E/A E	Port A6 des µC TCLK5 Timer5 external Clock
16D	RxD0	E	Eingang der ersten seriellen Schnittstelle, TTL-Pegel
17D	TxD0	A	Ausgang der ersten seriellen Schnittstelle, TTL-Pegel
18D	CAN-L1	E/A	Differentielle CANL-Leitung des zweiten CAN-Treibers
20D	CAN-L0	E/A	Differentielle CANL-Leitung des ersten CAN-Treibers
21D	CAN-H0	E/A	Differentielle CANH-Leitung des ersten CAN-Treibers
22D	RxD0_RS-232	E	Eingang der ersten seriellen Schnittstelle, RS-232-Pegel
23D	TxD0_RS-232	A	Ausgang der ersten seriellen Schnittstelle, RS-232-Pegel
25D	SCK2	E/A	External serial clock 2
26D	/PCS1	A	SPI-Chip-Select 1
27D	MISO	E/A	Master-In-Slave-Out
28D	SPCK	E/A	Takteingang der SPI-Schnittstelle
30D, 31D	PB0, PB2	E/A	Port B des µC
32D	PB3	E/A	Port B3 des µC, Ext. Interrupt 4 Eingang (E)
33D	PB4	E/A	Port B4 des µC, Ext. Interrupt 5 Eingang (E)
35D	RxD+	E	Positiver Rx-Eingang der Ethernet-Schnittstelle
36D	TxD+	A	Positiver Tx-Ausgang der Ethernet-Schnittstelle
37D	JTAGSEL	E	JTAG-MODE Eingang (ICE oder JTAG-MODE)
38D	TDO	A	Daten-Ausgang der JTAG-Schnittstelle
40D	TMS	E	JTAG Select-Eingang
41D	PA13	E/A	Port A13 des µC, Fast ext. Interrupt-Eingang (E)
42D	DAVREF	E	Referenzspannungs-Eingang der D/A-Wandler
43D	DA1	A	Analog Ausgang 1 des µC
44D, 49D	VAGND	-	Analog-Masse des µC
45D, 46D, 47D, 48D	AD7, AD5, AD4, AD2	E	Analog Eingänge des µC
50D	ADVREF	E	Referenzspannungs-Eingang für A/D-Wandler

Tabelle 1: Pinout des phyCORE-Connectors X1

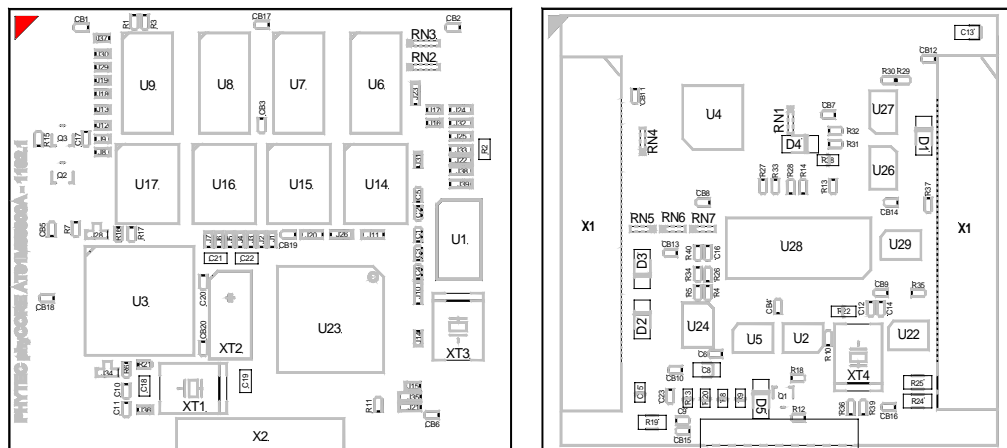


### 3 Jumper

Das phyCORE-AT91M55800A besitzt zur Konfiguration 38 Lötjumper, die teilweise bereits bei der Auslieferung vorverbunden sind. *Bild 4* verdeutlicht die verwendete Zählweise bei den Jumpern, *Bild 5* die Lage der Jumper auf dem Board. Auf dem phyCORE-AT91M55800A befinden sich alle Lötjumper auf der Platinenoberseite (Microcontrollerseite).



*Bild 4: Zählweise der Jumper*



*Bild 5: Lage der Jumper (Ansicht Microcontrollerseite / Connectorseite)*

Die Jumper (J = Lötjumper) haben folgende Funktionen:

	<b>Default-Einstellung<sup>1</sup></b>		<b>Alternative Einstellung</b>	
<b>J1</b>	(geschl.)	PA15 als TxD0 mit RS-232 Treiber verbunden	(offen)	PA15 des µC als Standard I/O oder TxD0_TTL an Pin X1D17 verfügbar
<b>J2</b>	(geschl.)	PA16 als RxD0 mit RS-232 Treiber verbunden	(offen)	PA16 des µC als Standard I/O oder RxD0_TTL an Pin X1D16 verfügbar
<b>J3</b>	(geschl.)	PA23 als SPCK (SCLK) mit SPI-Bus verbunden	(offen)	PA23 des µC als Standard I/O an Pin X1D28 frei verfügbar
<b>J4</b>	(geschl.)	PA24 als MISO (MRST) mit SPI-Bus verbunden	(offen)	PA24 des µC als Standard I/O an Pin X1D27 frei verfügbar
<b>J5</b>	(geschl.)	PA25 als MOSI (MTSR) mit SPI-Bus verbunden	(offen)	PA25 des µC als Standard I/O an Pin X1C28 frei verfügbar
<b>J6</b>	(geschl.)	PA26 als /PCS0 mit SPI-Bus verbunden	(offen)	PA26 des µC als Standard I/O an Pin X1C26 frei verfügbar
<b>J7</b>	(geschl.)	PA27 als /PCS1 mit SPI-Bus verbunden	(offen)	PA27 des µC als Standard I/O an Pin X1D26 frei verfügbar
<b>J8</b>	(geschl.)	PA9 als IRQ0 (INT_CAN) mit SPI-Bus verbunden	(offen)	PA9 des µC als Standard I/O an Pin X1B2 frei verfügbar
<b>J9</b>	(geschl.)	PA10 als IRQ1 (RDY_CAN) mit SPI-Bus verbunden	(offen)	PA10 des µC als Standard I/O an Pin X1A3 frei verfügbar
<b>J10</b>	(offen)	PA21 als TxD2 mit RS-232 Treiber verbunden	(1 + 2)	PA21 als TxD2 des µC über RS-232-Treiber an X1C25 verfügbar
			(2 + 3)	PA21 des µC als Standard I/O oder TxD2_TTL an Pin X1C25 verfügbar
<b>J11</b>	(1 + 2)	PA22 als RxD2 mit RS-232 Treiber verbunden und an X1C24 verfügbar	(2 + 3)	PA22 des µC als Standard I/O oder RxD2_TTL an Pin X1C24 verfügbar
<b>J12</b>	(offen)	RAM-Speicherausbau Eingang 1 des CPLD (U4) über Pull-up an VCC	(geschl.)	RAM-Speicherausbau Eingang 1 des CPLD (U4) mit GND verbunden
<b>J13</b>	(offen)	RAM-Speicherausbau Eingang 2 des CPLD (U4) über Pull-up an VCC	(geschl.)	RAM-Speicherausbau Eingang 2 des CPLD (U4) mit GND verbunden
<b>J14</b>	(offen)	CAN0-Sendeleitung mit CAN-Treiber U26 verbunden	(geschl.) <sup>2</sup>	CAN0-Sendeleitung (TTL-Pegel) an Pin X1D21 verfügbar, Anschluss an ext. CAN-Treiber
<b>J15</b>	(offen)	CAN0-Empfangsleitung mit CAN-Treiber U26 verbunden.	(geschl.) <sup>1</sup>	CAN0-Empfangsleitung (TTL-Pegel) an Pin X1D20 verfügbar, Anschluss an ext. CAN-Treiber

<sup>1</sup>: Gültig für Standardmodul ohne Zusatzoption.

<sup>2</sup>: **Achtung!** Nur zulässig wenn CAN-Treiber U26 unbestückt ist.



	<b>Default-Einstellung<sup>1</sup></b>		<b>Alternative Einstellung</b>
<b>J16</b>	(offen)	CAN1-Sendeleitung mit CAN-Treiber U27 verbunden	(geschl.) <sup>2</sup> CAN1-Sendeleitung (TTL-Pegel) an Pin X1C18 verfügbar, Anschluß an ext. CAN-Treiber
<b>J17</b>	(offen)	CAN1-Empfangsleitung mit CAN-Treiber U27 verbunden	(geschl.) <sup>2</sup> CAN1-Empfangsleitung (TTL-Pegel) an Pin X1D18 verfügbar, Anschluß an ext. CAN-Treiber
<b>J18</b>	(offen)	Flash-Speicherausbau Eingang 1 des CPLD über Pull-up an VCC	(geschl.) Flash-Speicherausbau Eingang 1 des CPLD mit GND verbunden
<b>J19</b>	(offen)	Flash-Speicherausbau Eingang 2 des CPLD über Pull-up an VCC	(geschl.) Flash-Speicherausbau Eingang 2 des CPLD mit GND verbunden
<b>J20</b>	(2 + 3)	DAVREF (extern) an D/A-Wandler Referenzspannungseingang	(1 + 2) VCC an D/A-Wandler Referenzspannungseingang
<b>J21</b>	(2 + 3)	ADVREF (extern) an A/D-Wandler Referenzspannungseingang	(1 + 2) VCC an A/D-Wandler Referenzspannungseingang
<b>J22</b>	(1 + 2)	Backup-Reset über RC-Glied	(2 + 3) Backup-Reset mit /RESET verbunden
<b>J23</b>	(offen)	CAN-Treiber U27 mit 82C251 bestückt bzw. unbestückt	(1 + 2) U27 mit TLE6250V33 bestückt (2 + 3) U27 mit TLE6250V5 bestückt
<b>J24</b>	(1 + 2)	TWIN-CAN Controller mit VCC2 verbunden	(2 + 3) TWIN-CAN Controller mit VCC verbunden
<b>J25</b>	(1 + 2)	VCCRAM mit VCC verbunden	(offen) Keine Spannung an den RAM-Bausteinen vorhanden (2 + 3) VCCRAM mit VBAT verbunden, zur externen RAM-Versorgung
<b>J26</b>	(2 + 3)	Adressleitung A0 mit /SBHE des CS8900A verbunden	(1 + 2) gewähltes /CS-Signal mit /SBHE des CS8900A verbunden, <i>siehe J28</i>
<b>J28</b>	(offen) <sup>3</sup>	/CS2, /CS3 und /CS4 frei auf den Pins X1A6, X1B6 und X1A35 frei verfügbar	(1 + 2) <sup>4</sup> /CS2 an CS8900A (2 + 4) /CS3 an CS8900A (2 + 3) /CS4 an CS8900A
<b>J29</b>	(geschl.) <sup>5</sup>	/CS0 mit /CSF0 verbunden (nur in Verbindung mit unbestücktem CPLD U4)	(offen) <sup>6</sup> /CS0 des Controllers mit CPLD U4 verbunden, CPLD generiert /CSF0 - /CSF7

<sup>1</sup>: Gültig für Standardmodul ohne Zusatzoption.

<sup>2</sup>: **Achtung!** Nur zulässig wenn CAN-Treiber U27 unbestückt ist.

<sup>3</sup>: Default bei unbestücktem Ethernet-Controller.

<sup>4</sup>: Default bei bestücktem Ethernet-Controller.

<sup>5</sup>: Default bei Minimalbestückung des phyCORE-AT91M55800A.

<sup>6</sup>: Default bei allen anderen Bestückungsoptionen des phyCORE-AT91M55800A.

	<b>Default-Einstellung<sup>1</sup></b>		<b>Alternative Einstellung</b>	
<b>J30</b>	(geschl.) <sup>1</sup>	/CS1 mit /CSR0 verbunden (nur in Verbindung mit unbestücktem CPLD U4)	(offen) <sup>2</sup>	/CS1 des Controllers mit CPLD U4 verbunden, CPLD generiert /CSR0 - /CSR7
<b>J31</b>	(offen)	EEPROM Write Protect Funktion deaktiviert	(geschl.)	EEPROM Write Protect Funktion aktiviert
<b>J32</b>	(1 + 2)	I/O-Pins Port A/B mit VCC (3,3 V) betrieben	(2 + 3)	I/O-Pins Port A/B mit VCC2 (5 V) betrieben
<b>J33</b>	(offen) <sup>2</sup>	/RESET_CAN nicht mit /RESET bzw. PB0 verbunden	(1 + 2)	PB0 des Controllers an /RESET_CAN zum Aufwecken aus dem Power-Down Mode
			(2 + 3)	/RESET des Moduls an /RESET_CAN
<b>J34</b>	(offen) <sup>3</sup>	PA11 – PA13 an Pins X1B3, X1A4 und X1D41 frei verfügbar	(1 + 2) <sup>4</sup>	/IRQ Ethernet an /IRQ2 des µC
			(2 + 4)	/IRQ Ethernet an /IRQ3 des µC
			(2 + 3)	/IRQ Ethernet an FIQ des µC
<b>J35</b>	(offen)	CAN-Treiber U26 mit 82C251 bestückt bzw. unbestückt.	(1 + 2)	U26 mit TLE6250V33 bestückt
			(2 + 3)	U26 mit TLE6250V5 bestückt
<b>J36</b>	(offen)	CLKIN (Pin X1A1) nicht mit XIN des µC verbunden	(1 + 2) <sup>5</sup>	CLKIN als Takteingang mit XIN des µC verbunden (nur in Verbindung mit unbestücktem Quarz XT1)
<b>J37</b>	(geschl.)	RY//BY-Signal des Flash mit /WAIT-Eingang des µC verbunden	(offen)	RY//BY-Signal nicht mit WAIT-Eingang des µC verbunden
<b>J38</b>	(1 + 2)	PA19 als RxD1 mit RS-232 Treiber verbunden und an X1C21 verfügbar	(2 + 3)	PA19 des µC als Standard I/O oder RxD1_TTL an Pin X1C21 verfügbar
<b>J39</b>	(offen)	PA18 als TxD1 mit RS-232 Treiber verbunden	(1 + 2)	PA18 als TxD1 des µC über RS-232-Treiber an X1C23 verfügbar
			(2 + 3)	PA18 des µC als Standard I/O oder TxD1_TTL an Pin X1C23 frei verfügbar

Tabelle 2: Jumperbelegung

<sup>1</sup>: Gültig für Standardmodul ohne Zusatzoption.

<sup>2</sup>: Default wenn der optionale Twin-CAN Controller nicht bestückt ist.

<sup>3</sup>: Default bei unbestücktem Ethernet-Controller.

<sup>4</sup>: Default bei bestücktem Ethernet-Controller.

<sup>5</sup>: **Achtung!** Der Eingang CLKIN darf wegen der Eigenschaften des Quarzoszillators nur als Takteingang verwendet werden!

### 3.1 J1, J2 Erste Serielle Schnittstelle

Jumper J1 und J2 dienen dazu, die Schnittstellen-Signale der ersten synchronen/asynchronen seriellen Schnittstelle über den RS-232-Treiber nach außen an die Pins X1D22 (RxD0) und X1D23 (TxD0) der Stiftleiste zu führen. Sollten die Jumper unbestückt sein, so besteht die Möglichkeit, die entsprechenden Controller-Pins (PA15 und PA16) mit alternativen Funktionen zu versehen oder die Schnittstellensignale mit TTL-Pegel an die entsprechenden Pins des phyCORE-Connectors zu legen (X1D17, X1D16).

Sollten die Jumper bestückt sein, so ist es zu vermeiden, die Signale mit ihren TTL-Pegel zu verwenden, da dies zu Zerstörung von Bauteilen führen kann.

Es ergeben sich folgende Konfigurationen:

Signaleigenschaften	J1	J2
TxD0 und RxD0 mit RS-232 Pegel	geschlossen*	geschlossen*
PA15 und PA16 als I/O Pin oder TxD0 und RxD0 als Schnittstellen- signale mit TTL-Pegel	offen	offen

\* = Default-Einstellung

*Tabelle 3: J1, J2 Konfiguration Erste Serielle Schnittstelle*

### 3.2 J3 bis J9 SPI-Interface

Die Jumper J3 bis J9 dienen dazu, die SPI-Interface-Signale des Microcontrollers vom on-board SPI-Bus zu trennen. Am on-board SPI-Bus sind das EEPROM (U29) und der Twin-CAN-Controller (U28) angeschlossen. Sollten die Jumper aufgetrennt sein, so besteht die Möglichkeit, die entsprechenden Controller-Pins (PA9, PA10 und PA23 bis PA27) mit alternativen Funktionen zu versehen oder die SPI-Schnittstellensignale an die entsprechenden Pins des phyCORE-Connectors zu legen (X1B2, X1A3, X1D28, X1D27, X1C28, X1C26, X1D26).

Es ergeben sich folgende Konfigurationen:

Signal	J3	J4	J5
SCLK, MRST und MTSR mit on-board SPI-Bus verbunden	geschlossen*	geschlossen*	geschlossen*
on-board SPI-Bus von Controller getrennt	offen	offen	offen

\* = Default-Einstellung

Tabelle 4: J3, J4, J5 SPI-Interface (Bussignale)

Signal	J6	J7	J8	J9
/PCS_0 mit Twin-CAN (82C900, U28) verbunden	geschl.*			
/PCS_0 von Twin-CAN getrennt	offen			
/PCS_1 mit E <sup>2</sup> PROM verbunden		geschl.*		
/PCS_1 von E <sup>2</sup> PROM getrennt		offen		
PA9 mit CAN Interrupt verbunden			geschl.*	
PA9 von CAN Interrupt getrennt			offen	
PA10 mit Ready-CAN verbunden				geschl.*
PA10 von Ready-CAN getrennt				offen

\* = Default-Einstellung

Tabelle 5: J6, J7, J8, J9 SPI-Interface (Controlsignale)

### 3.3 J10, J11 Dritte Serielle Schnittstelle

Jumper J10 und J11 dienen dazu, die Schnittstellen-Signale der dritten synchronen/asynchronen seriellen Schnittstelle über den RS-232-Treiber nach außen an die Pins X1C24 (RxD2) und X1C25 (TxD2) des phyCORE-Connectors zu führen. Sollten die Jumper in Stellung 2+3 bestückt sein, so besteht die Möglichkeit, die entsprechenden Controller-Pins (PA21 und PA22) mit alternativen Funktionen zu versehen oder die Schnittstellensignale mit TTL-Pegel an die entsprechenden Pins des phyCORE-Connectors zu legen (X1C25, X1C24).

Sollten die Jumper auf Position 1+2 bestückt sein, so ist es zu vermeiden, die Signale mit ihren TTL-Pegel zu verwenden, da dies zu Zerstörung von Bauteilen führen kann.

Es ergeben sich folgende Konfigurationen:

Signaleigenschaften	J10	J11
TxD2 und RxD2 mit RS-232-Pegel	1 + 2*	1 + 2*
PA21 und PA22 als I/O Pin oder TxD2 und RxD2 als Schnittstellen- signale mit TTL-Pegel	2 + 3	2 + 3

\* = Default-Einstellung

Tabelle 6: J10, J11 Konfiguration Dritte Serielle Schnittstelle

### 3.4 J33 Reset-Signal für CAN-Controller 82C900

Der Jumper J33 wird zur Konfiguration des Reset-Signals des Twin-CAN Controllers auf U28 verwendet. Mit Jumper J33 kann gewählt werden, ob der Reset-Eingang des 82C900 mit Port PB0 des Microcontrollers oder mit dem /RESET-Signal des phyCORE Modules verbunden ist.

#### **Achtung!**

Ist der Jumper J33 auf Position 1+2 geschlossen, wird der Port PB0 als Reset-Signal für den CAN Controller benutzt. Der Reset-Eingang des CAN Controllers ist für die Nutzung seiner Power-Down Features von Bedeutung. Der Power-Down Modus des 82C900 kann nur durch ein Reset verlassen werden. *Weitere Informationen zu den Power-Down Modes des 82C900 finden Sie im Datenblatt des CAN Controllers.*

Es ergeben sich folgende Konfigurationen:

Signal	J33
/RESET_CAN mit /RESET des Moduls verbunden	2 + 3*
/RESET_CAN verbunden mit PB0 des Microcontrollers	1 + 2
Kein Reset-Signal am CAN-Controller (Power-Down Modus nicht nutzbar)	offen

\* = Default-Einstellung

Tabelle 7: J33 Konfiguration des Reset-Signal des CAN-Controllers

### 3.5 J12, J13 Konfiguration RAM Speicher

Auf dem phyCORE-AT91M55800A können 3 verschiedene Größen von RAM Speicherbausteinen (pro Shape) verwendet werden. Um eine lineare Adressierung gewährleisten zu können, muß die Größe der Bausteine mit Hilfe der Jumper J12 und J13 eingestellt werden. Der CPLD stellt in Abhängigkeit der eingelesenen Pinzustände die entsprechenden Chip-Select Signale ein.

**Achtung!**

Entsprechend der gewählten Bestückungsoption des phyCORE-AT91M55800A sind die Jumper J12 und J13 zum Zeitpunkt der Auslieferung konfiguriert. Diese Jumper können nicht von Anwender verändert werden!

Es ergeben sich folgende Konfigurationen:

<b>RAM Speichergröße</b>	<b>J12</b>	<b>J13</b>
512 kByte (pro Shape)	offen*	offen*
1 MByte (pro Shape)	geschlossen	offen
2 MByte (pro Shape)	offen	geschlossen
Nicht erlaubt	geschlossen	geschlossen

\* = Default-Einstellung

*Tabelle 8: J12, J13 Konfiguration RAM Speichergröße*

### 3.6 J18, J19 Konfiguration Flash Speicher

Auf dem phyCORE-AT91M55800A können 3 verschiedene Größen von Flash Speicherbausteinen (pro Shape) verwendet werden. Um eine lineare Adressierung gewährleisten zu können, muß die Größe der Bausteine mit Hilfe der Jumper J18 und J19 eingestellt werden. Der CPLD stellt in Abhängigkeit der eingelesenen Pinzustände die entsprechenden Chip-Select Signale ein.

#### **Achtung!**

Entsprechend der gewählten Bestückungsoption des phyCORE-AT91M55800A sind die Jumper J18 und J19 zum Zeitpunkt der Auslieferung konfiguriert. Diese Jumper können nicht von Anwender verändert werden!

Es ergeben sich folgende Konfigurationen:

<b>Flash Speichergröße</b>	<b>J18</b>	<b>J19</b>
1 MByte (pro Shape)	offen*	offen*
2 MByte (pro Shape)	geschlossen	offen
4 MByte (pro Shape)	offen	geschlossen
Nicht erlaubt	geschlossen	geschlossen

\* = Default-Einstellung

*Tabelle 9: J18, J19 Konfiguration Flash Speichergröße*



### 3.7 J14, J15, J16, J17 CAN-Schnittstellen

Die beiden CAN-Schnittstellen des phyCORE-AT91M55800A werden mit Hilfe des Twin-CAN Controllers 82C900 von Infineon bereitgestellt. Dieser ist über das SPI-Interface mit dem AT91M55800A verbunden. Diese CAN-Signale sind entsprechend an die beiden CAN-Transceiver U26 und U27 (PCA82C251 bzw. TLE6250) geführt. Die CAN-Transceiver generieren die Signale CANH0, CANL0, CANH1 und CANL1, die direkt mit einem CAN-Zweidrahtbus verbunden werden können.

Um externe CAN-Transceiver zu nutzen, können die Signale CAN0Rx, CAN0Tx, CAN1Rx und CAN1Tx auch direkt am phyCORE-Connector X1 abgegriffen werden. Dazu müssen die beiden Transceiver vom phyCORE-Modul entfernt werden und zusätzlich die Jumper J14, J15, J16 und J17 geschlossen werden.

Es ergeben sich folgende Konfigurationen:

Erste CAN Schnittstelle	J14	J15
CAN_H0 an X1D21 CAN_L0 an X1D20	offen* <sup>1</sup>	offen* <sup>1</sup>
CAN0_Rx an X1D21 CAN0_Tx an X1D20	geschlossen <sup>2</sup>	geschlossen <sup>2</sup>

Zweite CAN Schnittstelle	J16	J17
CAN_H1 an X1C18 CAN_L1 an X1D18	offen* <sup>1</sup>	offen* <sup>1</sup>
CAN1_Rx an X1C18 CAN1_Tx an X1D18	geschlossen <sup>2</sup>	geschlossen <sup>2</sup>

\* = Default-Einstellung

Tabelle 10: J14, J15, J16 und J17 Konfiguration CAN-Schnittstellen

<sup>1</sup> : Nur sinnvoll wenn CAN-Transceiver U26 bzw. U27 bestückt sind.

<sup>2</sup> : **Achtung!** Nur zulässig wenn CAN-Transceiver U26 bzw. U27 **nicht** bestückt sind.

### 3.8 J20, J21 A/D- und D/A-Wandler

Die integrierten Analog/Digital- sowie Digital/Analog-Wandler des phyCORE-AT91M55800A benötigen an den Controllerpins 15 (D/A) und 45 (A/D) die jeweilige Referenzspannung ( $V_{ADVREF}$ ,  $V_{DAVREF}$ ). Mit den Jumpen J20 und J21 wird die Referenzspannungsquelle ausgewählt.

Es ergeben sich folgende Konfigurationen:

Funktion	J20	J21
externe Referenzspannungsquelle ( $V_{ADVREF}$ an X1D50)		2 + 3*
$V_{ADVREF}$ aus Versorgungsspannung VCC abgeleitet		1 + 2
externe Referenzspannungsquelle ( $V_{DAVREF}$ an X1D42)	2 + 3*	
$V_{DAVREF}$ aus Versorgungsspannung VCC abgeleitet	1 + 2	

\* = Default-Einstellung

Tabelle 11: J20, J21 Referenzspannungen der A/D- und D/A-Wandler

### 3.9 J22 Konfiguration des Backup-Reset

Die integrierte, batteriepufferbare RTC des AT91M55800A muß nach Anlegen der Betriebsspannung (je nach Konfiguration VPD oder VCC) zurückgesetzt werden. Hierzu besitzt der Controller einen separaten Backup-Reset-Eingang (RSTBU). Die Auswahl der Reset-Quelle erfolgt mit Hilfe von Jumper J22. Mit seiner Hilfe kann zwischen zwei verschiedenen Reset-Quellen gewählt werden.

Bei dauerhaftem Betrieb der RTC, auch während eines Power-Down Modes des Controllers, muß die Betriebsspannung der RTC von VPD abgeleitet werden. Um damit ein Zurücksetzen der RTC und deren Quarzoszillator zu erreichen, muß das Reset-Signal vom dem mit VPD verbundenen RC-Glied gewonnen werden. In dieser Konfiguration wird beim erstmaligen Anlegen der Batteriespannung ein Reset-Signal erzeugt. Damit wird das erfolgreiche Anlaufen des RTC-Quarzes sichergestellt. Mit dieser Konfiguration ist z.B. eine lückenlose Ereignisaufzeichnung möglich.

Als Alternative kann der Reset-Eingang der RTC-Unit mit dem vom Reset-Baustein U5 erzeugten Signal verbunden werden. In diesem Fall wird nach jeder fallenden Flanke des Reset-Signals ein Neustart des RTC-Quarzes und somit der gesamten RTC erzeugt.

Es ergeben sich folgende Konfigurationen:

<b>Reset-Signal der RTC</b>	<b>J22</b>
Lückenlose Ereignisaufzeichnung	1 + 2*
RTC-Neustart nach jedem /RESET	2 + 3

\* = Default-Einstellung

*Tabelle 12: J20, J21 Konfiguration RTC Reset*

### 3.10 J23, J35 CAN-Transceiver Konfiguration

Das phyCORE-AT91M55800A kann mit drei verschiedenen CAN-Transceivern bestückt werden. Die jeweiligen Bausteine unterscheiden sich in der Beschaltung des Pin 5. Mit dem Jumper J23 und J35 kann der Pin 5 konfiguriert werden.

Es ergeben sich folgende Konfigurationen:

<b>CAN-Transceiver U27 und U26</b>	<b>J23</b>	<b>J35</b>
82C251, Pin 5 offen	offen*	offen*
TLE6250V33, Pin 5 mit VCC verbunden	1 + 2	1 + 2
TLE6250V5, Pin 5 über Pull-up mit VCC2 verbunden	2 + 3	2 + 3

\* = Default-Einstellung

*Tabelle 13: J23, J35 CAN-Transceiver Konfiguration*

### 3.11 J24 Twin-CAN-Controller Konfiguration

Der Twin-CAN-Controller 82C900 kann sowohl mit 3,3 V als auch mit 5 V Versorgungsspannung betrieben werden. Diese Einstellung erfolgt mit Hilfe von Jumper J24.

Es ergeben sich folgende Konfigurationen:

<b>Twin-CAN-Controller U28</b>	<b>J24</b>
VCC2 (5 V) als Versorgungsspannung	1 + 2*
VCC (3,3 V) als Versorgungsspannung	2 + 3

\* = Default-Einstellung

*Tabelle 14: J24 Twin-CAN-Controller Konfiguration*

### 3.12 J25 Versorgungsspannung SRAM

Die SRAMs (U14-U17) können mit wahlweise mit oder ohne Batteriepufferung betrieben werden. Jumper J25 stellt die Versorgungsspannung der SRAMs ein.

Es ergeben sich folgende Konfigurationen:

Versorgung SRAM U14-U17	J25
VCCRAM aus VCC abgeleitet	1 + 2*
VCCRAM aus VBAT abgeleitet	2 + 3

\* = Default-Einstellung

Tabelle 15: J25 Versorgungsspannung SRAM

### 3.13 J26, J28, J34 Konfiguration Ethernet-Controller CS8900A

Das phyCORE-AT91M55800A kann optional mit einem Ethernet-Controller CS8900A von Cirrus Logic auf U23 bestückt werden.

Ist der Ethernet-Controller bestückt, kann mit Hilfe des Jumpers J28 ein von drei möglichen Chip-Select Signalen für den Zugriff auf den Controller ausgewählt werden.

Der Ethernet-Controller startet nach Reset immer im 8-bit Modus. Durch Toggeln des /SBHE-Pin kann der Ethernet-Controller in den 16-Bit Modus geschaltet werden. Mit Hilfe von Jumper J26 kann zwischen zwei unterschiedlichen Möglichkeiten zur Umschaltung des Betriebsmodus des Ethernet Controller gewählt werden.

Ist Jumper J26 auf Position 1+2 geschlossen, wird der Ethernet Controller durch einen Zugriff auf dem entsprechenden CS-Signal automatisch in den 16-bit Modus geschaltet. Ist Jumper J26 auf Position 2+3 geschlossen, ist das /SBHE-Pin mit der Adressleitung A0 verbunden. Dies bedeutet, daß ein Zugriff auf eine ungerade Adresse des CS8900A erfolgen muß, um den Controller in den 16-bit Modus zu schalten. Bleibt Jumper J26 offen, dann kann der Ethernet-Controller nur im 8-bit Modus betrieben werden.

Mittels Jumper J34 kann ausgewählt werden, welcher Microcontroller-Interrupt mit dem Interrupt-Ausgang des Ethernet-Controllers verbunden ist.

**Achtung!**

Soll der Ethernet-Controller im 16-bit Modus betrieben werden, muß zuerst ein DUMMY-Zugriff auf den CS8900A erfolgen. Je nach Jumperstellung von J26 erfolgt dies mittels /CS Signal oder Zugriff auf eine ungerade Adresse (A0 aktiv). Dieser DUMMY-Zugriff erzeugt am /SBHE-Pin einen High-Impuls (Flankenwechsel L-H-L) wodurch der 16-bit-Mode eingestellt wird. Der DUMMY-Zugriff muß nach jedem Reset des Ethernet-Controllers erfolgen! *Weitere Informationen zu den Betriebsmodi des CS8900A finden Sie im Datenblatt des Ethernet-Controller.*

Es ergeben sich folgende Konfigurationen:

<b>Auswahl /CS Signal</b>	<b>J28</b>
/CS2 des µC an Ethernet Controller	1 + 2*
/CS3 des µC an Ethernet Controller	2 + 4
/CS4 des µC an Ethernet Controller	2 + 3

\* = Default-Einstellung

Tabelle 16: J28 Konfiguration Ethernet Chip-Select Signal

<b>Ethernet-Modus</b>	<b>J26</b>
16-bit Mode, A0 an /SBHE	2 + 3*
16-bit Mode, /CS-Signal (siehe J28) an /SBHE	1 + 2
8-bit Mode	offen

\* = Default-Einstellung

Tabelle 17: J26 Konfiguration Ethernet Modus

<b>Interrupt des Ethernet Controllers...</b>	<b>J34</b>
.. mit /IRQ2 des Microcontrollers verbunden	1 + 2*
.. mit /IRQ3 des Microcontrollers verbunden	2 + 4
.. mit /FIQ des Microcontrollers verbunden	2 + 3

\* = Default-Einstellung

Tabelle 18: J34 Konfiguration Ethernet Interrupt-Signal

### 3.14 J29, J30 Chip-Select Konfiguration

Wird das phyCORE-AT91M55800A mit Minimalausbau bestückt, kann auf den CPLD-Baustein verzichtet werden. In diesem Fall müssen die Jumper J29 und J30 geschlossen werden, um die notwendigen Chip-Select Signale für Flash und SRAM mit dem Microcontroller zu verbinden. Bei allen anderen Ausbaustufen des Moduls sind die beiden Jumper geöffnet und die Chip-Select Signale müssen vom CPLD U4 dekodiert und an die jeweiligen Speicher-Bausteine angelegt werden.

Es ergeben sich folgende Konfigurationen:

Chip-Select für Flash und RAM	J29	J30
Chip-Selects Flash und RAM werden von CPLD erzeugt	offen*	offen*
Chip-Select Flash und RAM direkt vom $\mu$ C (/CS0 und /CS1) <sup>1</sup>	geschlossen	geschlossen

\* = Default-Einstellung

Tabelle 19: J29, J30 Chip-Select Konfiguration

### 3.15 J31 Schreibschutz des EEPROM

Verschiedene auf U29 bestückbare EEPROM-Bausteine verfügen über eine Schreibschutzfunktion<sup>2</sup>. Diese kann über Jumper J31 aktiviert werden. Dazu wird durch Schließen des Jumpers Pin 3 des seriellen EEPROM mit GND verbunden.

Es ergeben sich folgende Konfigurationen:

EEPROM Schreibschutzfunktion	J31
Schreibschutz des EEPROM deaktiviert	offen*
Schreibschutz des EEPROM aktiviert	geschlossen

\* = Default-Einstellung

Tabelle 20: J31 Konfiguration EEPROM Schreibschutz

<sup>1</sup>: Nur im Minimalausbau des phyCORE-AT91M55800A möglich, CPLD nicht bestückt.

<sup>2</sup>: Bitte informieren Sie sich über das Vorhandensein der Schreibschutzfunktion im Datenblatt des installierten EEPROM.

### 3.16 J32 Versorgungsspannung der I/O Pins des AT91M55800A

Die I/O Pins des phyCORE-AT91M55800A können wahlweise mit 3,3 V oder mit 5 V betrieben werden. Mit dem Jumper J32 kann zwischen den beiden Spannungspegeln gewählt werden.

Es ergeben sich folgende Konfigurationen:

I/O Versorgungsspannung	J32
VDDIO mit VCC verbunden (3,3 V)	1 + 2*
VDDIO mit VCC2 verbunden (5 V)	2 + 3

\* = Default-Einstellung

Tabelle 21: J32 Konfiguration I/O Versorgungsspannung

### 3.17 J36 CLKIN Konfiguration

Jumper J36 dient zur Einspeisung eines externen Clock-Signals. Per default wird der on-board Quarzoszillator zur Takterzeugung des Microcontrollers verwendet (Jumper J36 offen). Als Alternative kann ein externes Clock-Signal über Pin X1A1 zum Controller-Pin XIN geführt werden. Dazu muß der Quarzoszillator entfernt und J36 geschlossen werden.

#### **Achtung!**

Bei Verwendung des on-board Quarzoszillators darf Jumper J36 wegen der Oszillatoreigenschaften nicht geschlossen werden. Dies kann die Stabilität des Quarz-Schwingvorganges beeinträchtigen! Wenn eine externe Clock-Einspeisung über Pin X1A1 erforderlich ist, muß der on-board Quarzoszillator entfernt werden.

Es ergeben sich folgende Konfigurationen:

CLKIN-Konfiguration	J36
Verwendung des on-board Oszillators XT1	offen*
Einspeisung eines externen Clocksignals via phyCORE-Connector Pin X1A1	geschlossen

\* = Default-Einstellung

Tabelle 22: J36 CLKIN-Konfiguration



### 3.18 J37 /WAIT-Konfiguration

Zum variablen und schnellstmöglichen Flash-Zugriff bietet der AT91M55800A Controller ein /WAIT-Signal, das es ermöglicht, ohne Waitstate-Konfiguration auf alle möglichen Flash-Zugriffszeiten zu reagieren. Solange das /WAIT-Signal (Ready/Busy-Signal vom Flash) nicht den inaktiven Zustand ("high-Pegel") erreicht hat, führt der Controller automatisch Waitstates ein. Dies bietet auch bei langsameren Flash-Typen eine optimale Einstellung der benötigten Waitstates.

Es ergeben sich folgende Konfigurationen:

<b>/WAIT-Konfiguration</b>	<b>J37</b>
Ready/Busy-Signal vom Flash mit /WAIT Eingang des Controllers verbunden, keine Waitstate-Einstellung im EBI-Register des entsprechenden /CS-Signals notwendig	geschlossen*
Waitstate-Einstellungen im EBI-Register des entsprechenden /CS-Signals notwendig	offen

\*= Default-Einstellung

Tabelle 23: J37 /Wait-Konfiguration

### 3.19 J38, J39 Zweiten Serielle Schnittstelle

Jumper J38 und J39 dienen dazu, die Schnittstellen-Signale der zweiten synchronen/asynchronen seriellen Schnittstelle über den RS-232-Treiber nach außen an die Pins X1C21 (RxD1) und X1C23 (TxD1) des phyCORE-Connectors zu führen. Sollten die Jumper in Stellung 2+3 bestückt sein, so besteht die Möglichkeit, die entsprechenden Controller-Pins (PA18 und PA19) mit alternativen Funktionen zu versehen oder die Schnittstellensignale mit TTL-Pegel an die entsprechenden Pins des phyCORE-Connectors zu legen (X1C21, X1C23).

Sollten die Jumper auf Position 1+2 bestückt sein, so ist es zu vermeiden, die Signale mit ihren TTL-Pegel zu verwenden, da dies zu Zerstörung von Bauteilen führen kann.

Es ergeben sich folgende Konfigurationen:

Signaleigenschaften	J38	J39
TxD1 und RxD1 mit RS-232 Pegel	1 + 2*	1 + 2*
PA18 und PA19 als I/O Pin oder TxD1 und RxD1 als Schnittstellen- signale mit TTL-Pegel	2 + 3	2 + 3

\* = Default-Einstellung

Tabelle 24: J38, J39 Konfiguration Zweite Serielle Schnittstelle

## **4 System-Konfiguration**

Nach einem Reset (Hardware- oder Software-Reset) startet der AT91M55800A die Programmausführung ab der Adresse 0000:0000H. In der Regel wird dort ein Sprung auf eine applikations-spezifische Initialisierungsroutine zu finden sein, in der bestimmte Features des Controllers konfiguriert werden. Diese Routine wird in einem privilegierten Modus ausgeführt. Danach ist der Zugriff auf bestimmte Register sowie die Ausführung bestimmter Instruktionen eingeschränkt.

Obwohl die meisten Features des AT91M55800A während der genannten Initialisierungsroutine konfiguriert bzw. programmiert werden, sind einige bestimmte Features früher zu konfigurieren, da sie direkten Einfluß auf die Programmausführung haben.

### **4.1 System-Startup-Konfiguration**

Die System-Startup-Konfiguration dient dazu, diejenigen Features des AT91M55800A zu konfigurieren, die einen direkten Einfluß auf die Programmausführung und somit auf die korrekte Ausführung der Initialisierungsroutine haben.

Zur erwähnten Einstellung werden einige Ports während Reset durch den Controller eingelesen und wichtige Features gemäß den logischen Eingangspegeln an den entsprechenden Pins gesetzt. Durch Verbindung der gewünschten Portpins mit Pull-Down-Widerständen (ergibt logischen Zustand 0) bzw. Nichtbeschaltung (ergibt logischen Zustand 1) kann die sogenannte System-Startup-Konfiguration definiert werden.

Wir empfehlen 4,7 k $\Omega$ -Widerstände als Pull-Downs, wobei die Größenangabe lediglich als Richtwert dienen kann.

Die folgende *Tabelle 25* zeigt die Funktion der einzelnen Portpins während des Systemstarts, den entsprechenden Pull-Down Widerstand und die Lage der Signale auf dem phyCORE-Connector.

Funktion der Portpins während des System-Reset		
PB18 (X1B43)	PA18/TxD1//TRI (X1C21)	JTAGSEL (X1D37)
Boot Mode Select <i>R16</i> <i>bestückt</i>	/TRI <i>R17</i> <i>nicht nach GND geschaltet</i>	JTAGSEL <i>R18</i> <i>nach GND geschaltet</i>

*Tabelle 25: Belegung der Portpins für die System-Startup-Konfiguration*

Default-System-Startup-Konfiguration auf dem  
phyCORE-AT91M55800A

Die grundlegenden Einstellungen der System-Startup-Konfiguration sollten unbedingt anhand einer entsprechenden Initialisierungsroutine verfeinert werden, da bestimmte Einstellungen auf diesem Wege nicht konfiguriert werden können. Hierzu zählen unter anderem die Anzahl der Waitstates für die einzelnen Speicherbereiche bzw. Chip-Selects sowie deren Lage im Adreßraum des Controllers.

## **5 Speichermodell**

Für den einfachen Anschluß externer Peripheriebausteine oder zusätzlicher Speicherbänke stellt der AT91M55800A Controller bis zu acht Chip-Select Signale zur Verfügung. Abhängig von der Anzahl der bestückten Peripheriebausteine werden bis zu drei dieser Signale intern verwendet. Die Flash-Bank (U6-U9), die mit 1 MByte, 2 MByte oder 4 MByte Flash Speichern in CBGA-48 Gehäuse bestückt werden können, wird über /CS0 des Controllers selektiert. Der Flash-Speicherausbau beträgt 1 MByte bei Minimalbestückung und 16 MByte bei Maximalbestückung.

Auf der RAM-Bank U14-U17 können 512 kByte, 1 MByte oder 2 MByte Speicherbausteine im TBGA-48 Gehäuse eingesetzt werden. Dies ergibt bei Minimalbestückung einen Speicherausbau von 512 kByte, bei Maximalbestückung 8 MByte. Die RAM Bank U14-U17 wird über /CS1 des Controllers selektiert.

Der optional bestückbare Ethernet-Controller auf U23 wird bei Verwendung wahlweise über /CS2, /CS3 oder /CS4, konfigurierbar über Jumper J28, angesprochen.

Die Zuordnung der Chip-Select Signale zu bestimmten Speicherbereichen wird durch die Konfiguration der entsprechenden EBI\_CSRx-Register durchgeführt. Es ist darauf zu achten, daß sich keine /CS-Signale überschneiden und der Bereich des Programmcodes bei /CS0 nicht durch ein anderes /CSx-Signal ausgeblendet wird.

Nach Reset ist zunächst nur /CS0 in einem 1 MByte großen Bereich des Adreßraumes des Controllers ab Adresse 0x0000 aktiv (d.h. /CS0 an Flash-Bank = U6-U9 ). Die anderen /CS-Signale müssen erst durch ein RemapCommand aktiviert werden. Dazu muß Bit 0 im EBI\_RCR Register gesetzt werden. /CS0 ist zunächst nur in diesem controllerseitig aktivierten Bereich aktiv.

Sollte der physikalisch vorhandene Speicher kleiner als die eingestellte Speichergröße sein, so spiegelt sich der Speicher je nach bestücktem Baustein im eingestellten Adressbereich. Wird auf eine nicht initialisierte Adresse zugegriffen, wird vom Controller ein "DATA ABORT"-Befehl ausgeführt, der dann in eine entsprechende Routine verzweigen kann. Ist dieser Befehl nicht weiter spezifiziert, so führt der Controller keine weiteren Instruktionen aus.

Die EBI\_CSR Register sind 32-bit Register und sind wie folgt unterteilt:

Bit 31-20:	BA	Basis Adresse
Bit 19-14:	nicht genutzt	
Bit 13:	CSEN	Chip-Select Enable Bit
Bit 12:	BAT	Byte Access Typ
Bit 11-9:	TDF	Data Float Output Time
Bit 8-7:	PAGES	Bereichsgröße
Bit 6:	nicht genutzt	
Bit 5:	WSE	Wait State Enable Bit
Bit 4-2:	NWS	Anzahl der Waitstates
Bit 1-0:	DBW	Datenbus-Breite

Bedingt durch den internen Aufbau des AT91M55800A, den verwendeten PLL-Faktor von 2 und der externen Quarzfrequenz von 16 MHz arbeitet der Controller mit einer Buszykluszeit von 31,25 ns (ohne Waitstate Einstellung). Wird ein Waitstate eingestellt, so erhöht sich die Buszykluszeit um einen Clockzyklus auf 62,5 ns, jedoch verlängert sich der /RD- und /WE-Impuls nur um einen halben Clockzyklus (15,675 ns). Erst bei Einstellung von Waitstates  $\geq 2$  erhöhen sich die Impulszeiten pro zusätzlichem Waitstate um 31,25 ns.

Durch Einstellung von drei Waitstates ( $T_c = 31,25 \text{ ns}$ ), lassen sich alle Speicher mit Zugriffszeiten von bis zu 100 ns bei einem Buszyklus von 125 ns ansprechen. Um den Controller bei 32 MHz CPU-Takt ohne Waitstates betreiben zu können, müssen 15 ns Speicher bestückt sein, jedoch ist hierzu das Early Read Protokoll<sup>1</sup> erforderlich.

---

<sup>1</sup>: Weitere Informationen zum Early Read Protokoll finden Sie im AT91M55800A Data Sheet / User's Manual.

Bei einigen Peripherie-Bausteinen kann es erforderlich sein, "DATA FLOAT Times" einzustellen, da die Bausteine nicht in der Lage sind, den Datenbus frühzeitig freizugeben.

Im folgenden finden Sie wichtige Signalzeiten. Alle Informationen beziehen sich auf den AT91M55800A Controller mit 16-bit Bus und 32 MHz CPU-Takt ( $F_{osz}$ ):

$T_c = 32,25 \text{ ns} * \text{Number of Wait States (NWS in EBI\_CSRx)}$

$T_f = 32,25 \text{ ns} * \text{Data Float Output Time (TDF in EBI\_CSRx)}$ .

Im weiteren finden Sie zwei Beispiele für die Speicher-Konfiguration des phyCORE-AT91M55800A. Diese Beispiele sind für die meisten Anwendungen nutzbar.

### Beispiel a)

EBI_CSR0:	010024A9h =	Bereich 0100:0000h – 013F:FFFFh (4 MByte Flash-Bank auf U6-U9, 16-bit Bus, 3 Waitstates, 2 Cycle after Transfer, 90 ns Speicher-Zugriffszeit)
EBI_CSR1:	040034A5h =	Bereich 0400:0000h – 043F:FFFFh (4 MByte RAM-Bank auf U14-U17, 16-bit Bus, 2 Waitstates, 2 Cycle after Transfer, 70 ns Speicher-Zugriffszeit)
EBI_CSR2:	2000342Dh =	Bereich 2000:0000h – 200F:FFFFh (1 MByte) Adressbereich für ext. Ethernet-Controller, 16-bit Bus, 4 Waitstates, 2 Cycle after Transfer, Zugriffszeit 135 ns)
EBI_CSR3:	30000000h	/CS3 nicht aktiv
EBI_CSR4:	40000000h	/CS4 nicht aktiv
EBI_CSR5:	50000000h	/CS5 nicht aktiv
EBI_CSR6:	60000000h	/CS6 nicht aktiv
EBI_CSR7:	70000000h	/CS7 nicht aktiv

### Beispiel b)

EBI_CSR0:	01002529h =	Bereich 0100:0000h – 01FF:FFFFh (16 MByte Flash-Bank auf U6-U9, 16-bit Bus, 3 Waitstates, 2 Cycle after Transfer), 90 ns Speicher-Zugriffszeit)
EBI_CSR1:	02003525h =	Bereich 0200:0000h – 02FF:FFFFh (16 MByte RAM Bank auf U14-U17, 16-bit-Bus, 2 Waitstates, 2 Cycle after Transfer) , 55 ns Speicherzugriffszeit)
EBI_CSR2:	1000342Dh =	Bereich 1000:0000h – 100F:FFFFh (1 MByte) Adressbereich für ext. Ethernet-Controller, 16-bit-Bus, 4 Waitstates, 2 Cycle after Transfer)
EBI_CSR3:	30000000h	/CS3 nicht aktiv
EBI_CSR4:	40000000h	/CS4 nicht aktiv
EBI_CSR5:	50000000h	/CS5 nicht aktiv
EBI_CSR6:	60000000h	/CS6 nicht aktiv
EBI_CSR7:	70000000h	/CS7 nicht aktiv

Before Remap			After Remap Beispiel a)			After Remap Beispiel b)		
Address	Function	Size	Address	Function	Size	Address	Function	Size
0xFFFFFFFF	On-chip Peipherals	4M Bytes	0xFFFFFFFF	On-chip Peipherals	4M Bytes	0xFFFFFFFF	On-chip Peipherals	4M Bytes
0xFFC00000			0xFFFFFFFF	Not Used		0xFFFFFFFF	Not Used	
0xFFBFFFFFF			0xFFBFFFFFF			0xFFBFFFFFF		
Reserved			0x20100000	External Ethernet	1M Bytes	0x10100000	External Ethernet	1M Bytes
			0x200FFFFFF			0x100FFFFFF		
			0x20000000	Not Used		0x10000000	Not Used	
			0x1FFFFFFF			0x0FFFFFFF		
			0x04400000	External RAM	4M Bytes	0x03000000	External RAM gespiegelt	8M Bytes
			0x043FFFFF			0x02FFFFFF		
			0x04000000	Not Used		0x02800000	External RAM	8M Bytes
			0x03FFFFFF			0x027FFFFF		
			0x01400000	External Flash	4M Bytes	0x02000000	External Flash	16M Bytes
			0x013FFFFF			0x01FFFFFF		
			0x01000000	Not Used		0x01000000		
			0x00FFFFFF			0x00FFFFFF		
0x00400000	On-chip RAM	1M Bytes	0x00400000	Reserved	1M Bytes	0x00400000	Not Used	
0x003FFFFFF			0x003FFFFFF			0x003FFFFFF		
0x00300000	Reserved On-chip Device	1M Bytes	0x00300000	Reserved On-chip Device	1M Bytes	0x00300000	Reserved On-chip Device	1M Bytes
0x002FFFFFF			0x002FFFFFF			0x002FFFFFF		
0x00200000	Reserved On-chip Device	1M Bytes	0x00200000	Reserved On-chip Device	1M Bytes	0x00200000	Reserved On-chip Device	1M Bytes
0x001FFFFFF			0x001FFFFFF			0x001FFFFFF		
0x00100000	External Devices Selected by /CS0	1M Bytes	0x00100000	On-chip RAM	1M Bytes	0x00100000	On-chip RAM	1M Bytes
0x000FFFFFF			0x000FFFFFF			0x000FFFFFF		
0x00000000			0x00000000			0x00000000		

Bild 6: Beispiele für Speichermodelle



## **6    Serielle Schnittstellen**

### **6.1   RS-232 Schnittstelle**

Auf dem phyCORE-AT91M55800A befindet sich ein RS-232-Treiber (U1) für die Pegelanpassung der Leitungen:

- PA16/RxD0 und PA15/TxD0 (erste serielle Schnittstelle)
- PA19/RxD1 und PA18/TxD1 (zweite serielle Schnittstelle)
- PA22/RxD2 und PA21/TxD2 (dritte serielle Schnittstelle).

Die zuvor genannten Ports lassen sich alternativ auch als Standard I/O, als Schnittstellensignal mit TTL-Pegel oder in ihrer eventuell verfügbaren Alternativfunktion am phyCORE-Connector X1 nutzen. Hierzu müssen die Jumper J1 und J2 geöffnet, J10 und J11 sowie J38 und J39 auf Position 2+3 geschlossen werden.

Alle herausgeführten Schnittstellen können für die Verbindung zu einer COM-Schnittstelle (z.B. PC) verwendet werden. Hierzu ist die RxD-Leitung mit der TxD-Leitung der COM-Schnittstelle und die TxD-Leitung mit der RxD-Leitung der COM-Schnittstelle zu verbinden. Die Schaltungsmasse des phyCORE-AT91M55800A ist zusätzlich an die Schaltungsmasse der COM-Schnittstelle anzuschließen.

Durch die on-chip UART des Microcontrollers werden keine Handshake-Leitungen unterstützt. Diese können bei Bedarf durch Port Pins des Microcontrollers nachgebildet werden. Für die Unterstützung eines RS-232-Pegels für diese Handshake-Leitungen ist außerhalb des Moduls ein RS-232-Treiber vorzusehen.

## 6.2 CAN-Schnittstelle

Auf dem phyCORE-AT91M55800A sind für die Pegelanpassung der CAN-Sende-/Empfangsleitungen (CANTx / CANRx) zwei CAN-Bustreiber (U26, U27; PCA82C251 oder TLE6250) vorgesehen. Die CAN-Bustreiber unterstützen bis zu 110 Knoten an einem CAN-Bus. Die Datenübertragung erfolgt mit einem differentiellen Pegel auf CANH und CANL. Eine Masseverbindung zwischen den Knoten am CAN-Bus ist nicht zwingend erforderlich, wird jedoch für eine Verbesserung der EMV-Eigenschaften empfohlen. Für die korrekte Funktion der Datenübertragung auf dem CAN-Bus sind 2 Abschlußwiderstände, je ein 120 Ohm-Widerstand am Ende des CAN-Busses, vorzusehen.

Bei größeren Busausdehnungen wird weiterhin eine externe galvanische Entkopplung zwischen CAN-Bustreiber und dem phyCORE-AT91M55800A empfohlen. In diesem Fall sind die on-board Bustreiber zu entfernen und die Leitungen CANTx und CANRx mit Hilfe von Jumper J14, J15, J16 und J17 an den phyCORE-Connector X1 zu führen. Für die galvanisch getrennte Verbindung zum externen Bustreibers sollten schnelle Optokoppler verwendet werden. Hierfür eignen sich die Typen TLP113 der Fa. Toshiba oder HCPL06xx der Fa. Hewlett Packard. Für die korrekte Busanschaltung sind die Empfehlungen DS102 vom CiA<sup>1</sup> zu berücksichtigen.

---

<sup>1</sup>: Die CiA wurde im März 1992 mit dem Ziel gegründet, die Entwicklung des Controller Area Netzwerk (CAN) zu fördern und Richtlinien für zukünftige Erweiterungen des CAN-Protokolls festzulegen. Dazu stellt sie sowohl technische als auch Produkt- und Marketinginformationen zur Verfügung.

---

## 7 Serielles EEPROM (U29)

Das phyCORE-AT91M55800A verfügt über einen nichtflüchtigen Speicher mit einem seriellen Interface (SPI-Interface) zur Ablage von Konfigurationsdaten. Je nach Bestückungsvariante kann dieser Speicher mit einem EEPROM in der Größe von 1 - 8 kByte bestückt werden. *Eine Beschreibung des SPI-Protokolls ist dem Datenblatt des Bauteins zu entnehmen.*

Tabelle 26 gibt einen Überblick zu bestückbaren Bausteinen zum Zeitpunkt der Drucklegung des Handbuchs.

Speichertyp	Größe	Baustein	Hersteller
EEPROM	1 kByte (1024*8)	AT25080	ATMEL
	2 kByte (2048*8)	AT25160	ATMEL
	4 kByte (4096*8)	AT25320	ATMEL
	8 kByte (8192*8)	AT25640	ATMEL

Tabelle 26: Bestückungsoptionen für U29

Verschiedene E<sup>2</sup>PROM verfügen über eine Schreibschutzfunktion<sup>1</sup>. Diese kann über Jumper J31 aktiviert werden. Dazu wird durch Schließen des Jumpers Pin 3 des seriellen E<sup>2</sup>PROM mit GND verbunden.

Schreibschutz des E <sup>2</sup> PROM	J31
Schreibschutz ist deaktiviert	offen*
Schreibschutz ist aktiviert	geschlossen

\* = Default-Einstellung

Tabelle 27: E<sup>2</sup>PROM Schreibschutz

<sup>1</sup> Bitte informieren Sie sich über das Vorhandensein der Schreibschutzfunktion im Datenblatt des installierten E<sup>2</sup>PROM.

## 8 Flash Speicher (U6-U9)

Durch den Einsatz von Flash Speichern als nichtflüchtiger Codepeicher können Sie die Vorteile der modernen Flash-Technik nutzen. Als Flash-Baustein für das phyCORE-AT91M55800A stehen folgende Flashtypen zur Verfügung:

- 29LV800B mit 1\*16 kByte, 2\*8 kByte, 1\*32 kByte, 15\*64 kByte
- 29LV160B mit 1\*16 kByte, 2\*8 kByte, 1\*32 kByte, 31\*64 kByte
- 29LV320B mit 8\*8 kByte, 63\*64 kByte

Die Verwendung von Flash Speicher erlaubt die Realisierung einer on-board Programmierung des Moduls. Die Flash Speicher sind mit 3,3 VDC programmierbar, wodurch keine besondere Programmierspannung benötigt wird.

Der Einsatz der Flash-Bausteine als einziger Code-Speicher des Moduls bewirkt, daß das Flash nicht oder nur sehr bedingt zur nichtflüchtigen Ablage von Daten geeignet ist. Dies ist durch die interne Architektur der Flash-Bausteine verursacht, da während des Flash-internen Programmierprozesses ein Lesen von Daten aus dem Baustein unmöglich ist. Demzufolge muß für eine Flash-Programmierung die Programmausführung aus dem Flash heraus verlagert werden (z.B. in von Neumann-RAM), was in der Regel einem einschneidenden Eingriff in den "normalen" Programmablauf gleichkommt. Bei Bestückung des phyCORE-AT91M55800A mit mehreren Flash Bausteinen auf der zur Verfügung stehenden Flash-Bank ist jedoch eine Ablage von Daten in einem physikalisch von Programmcode getrennten Flashbereich möglich.

Nach Stand der Technik zur Drucklegung dieses Manuals weisen die Flash-Bausteine eine Lebenserwartung von min. 100.000 Löschen-/Programmierzyklen auf.

## 9 Batteriepufferung

Die zur Batteriepufferung nötige Batterie ist für die Grundfunktion des phyCORE-AT91M55800A nicht zwingend erforderlich. Allerdings bietet sich die Batteriepufferung als eine günstige und einfache Möglichkeit des nichtflüchtigen Abspeicherns von Daten in den SRAM Bausteinen an und sie ist notwendig für den Datenerhalt der on-chip Real-Time Clock des AT91M55800A.

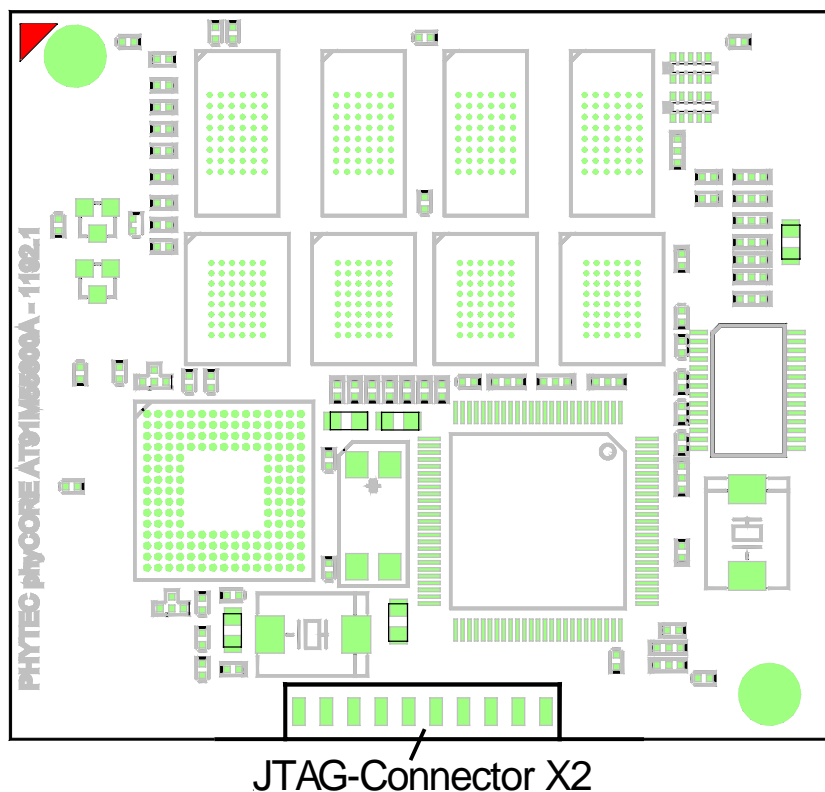
Der VBAT-Eingang (X1C6) am phyCORE-Connector ist für den Anschluß einer externen Batterie vorgesehen. Der Minuspol der Batterie ist mit der Schaltungsmasse GND des phyCORE-AT91M55800A zu verbinden. Wir empfehlen zum Backup nach dem Stand der Technik zur Drucklegung dieses Manuals Lithium-Batterien, da diese hohe Kapazitäten bei sehr geringer Selbstentladung aufweisen. Die RAM-Bausteine werden dann ausschließlich von einer eventuell vorhandenen Batterie über VBAT gespeist. Aus diesem Grunde muß der Anwender dafür Sorge tragen, dass während der Programmlaufzeit genügend Leistung zur Speisung des SRAMs und der RTC zur Verfügung steht.

Die Stromaufnahme hängt von den verwendeten Bausteinen bzw. dem Speicherausbau ab (*siehe Kapitel 11, "Technische Daten"*).



## 10 Debug-Schnittstelle

Das phyCORE-AT91M55800A besitzt zum Download von Programmcode ins externe Flash oder zum Debuggen von Programmen im externen SRAM eine JTAG-Schnittstelle, die über eine Stiftleiste (X2) im 2 mm Raster auf der Controller-Seite des Moduls herausgeführt ist. *Bild 7* stellt die Positionierung der Debug-Schnittstelle (JTAG-Connector X2) auf dem phyCORE-Modul dar.



*Bild 7:* JTAG-Schnittstelle

Die JTAG-Schnittstelle des phyCORE-AT91M55800A kann in verschiedenen Modi betrieben werden. Zum Umschalten dieser Modi sind die Signale /BSCAN und /JTAGSEL verantwortlich, die auf der Stiftleiste X2 des Moduls liegen.

Es ergeben sich die folgenden Konfigurationsmöglichkeiten:

<b>/BSCAN</b>	<b>/JTAGMODE</b>	<b>Funktion der JTAG-Schnittstelle</b>
1	1	JTAG-ICE Debug-Mode
0	1	Boundary-Scan Mode zum Programmieren des PLD; Controller in Tristate
1	0	Boundary-Scan Mode des AT91M55800A Controllers
0	0	unzulässig

*Tabelle 28: JTAG-Modi*



## 11 Technische Daten

Das phyCORE-AT91M55800A ist in seinen mechanischen Abmessungen in *Bild 8* dargestellt. Die Höhe des Moduls beträgt ohne phyCORE-Connector ca. 7,2 mm. Hierbei tragen die Bauteile jeweils ca. 2,6 mm auf der Platinenunterseite sowie ca. 3,0 mm auf der Oberseite auf. Die Platine selbst ist ca. 1,6 mm stark.

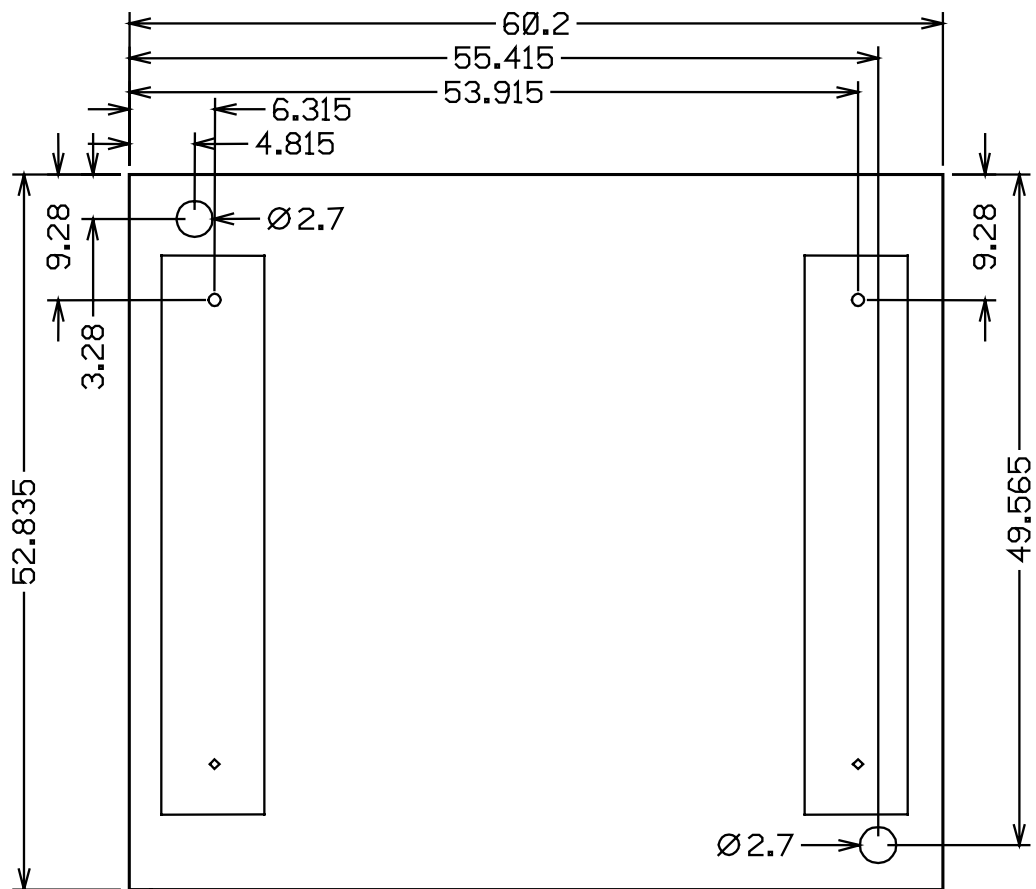


Bild 8: Mechanische Abmaße

**Technische Daten:**

- Modulgröße: 60 mm x 53 mm
- Gewicht: ca. 25 g bei Maximalausbau
- Lagertemperaturbereich: -40°C bis +90°C
- Betriebstemperaturbereich : Standard: 0°C bis +70°C  
Erweitert: -40°C bis +85°C
- Luftfeuchtebereich: max. 95 % r.F. nicht kondensierend
- Betriebsspannungen: VCC 3,3 V 5 %, VCC2 5 V 5 %, VBAT 3 V 20 %
- Stromaufnahme: Bedingung:  
max. 150 mA VCC = 3,3 V, VBAT = 0 V,  
typ. 110 mA 512 kByte RAM, 1 MByte Flash,  
16 MHz Quarz, 20°C  
max. 100 µA VCC = 0 V, VBAT = 3 V, 20°C  
typ. 2 µA (RAM)  
typ. 1 µA Real-Time Clock

Diese Daten beziehen sich auf die Standardkonfiguration des phyCORE-AT91M55800A bei Drucklegung.

Beachten Sie bitte, daß die Lagertemperatur bei der Verwendung der Batteriepufferung für die RAMs nur 0°C bis + 70°C beträgt.

## **12 Hinweise zum Umgang mit dem phyCORE-AT91M55800A**

Der Adress- und Datenbus sind am Modul ungepuffert herausgeführt. Beim Anschluß externer Bausteine an den Daten-/Adreßbus sowie die Steuerleitungen (/RD, /WR) sollten Sie diese Signale zwischen Modul und Peripheriebausteinen mit externen Puffern versehen (z.B. 74AHCT245).

Der Datenbus D0..15 sollte mit 100 k $\Omega$  Pullup-Widerständen gegen VCC abgeschlossen werden.

Von einem Wechsel einzelner Komponenten, wie dem Microcontroller, dem Quarz oder Anderer, ist aufgrund der hohen Packungsdichte des Moduls generell abzuraten. Sollte dies wider Erwarten vonnöten sein, so ist zu beachten, daß beim Auslöten die Leiterplatte, sowie umliegende Bauteile oder Sockel nicht beschädigt werden. Die Löt pads können sich bei Überhitzung von der Platine ablösen, wodurch das Modul unbrauchbar wird. Erhitzen Sie vorsichtig paarweise die benachbarten Anschlüsse; nach einigen Wechseln können Sie das Bauteil mit der Lötspitze abheben. Alternativ kann ein entsprechendes Heißluft-Werkzeug zum Erhitzen der Lötstellen verwendet werden.



## 13 Das phyCORE-AT91M55800A auf dem Development Board phyCORE-HD200

Um die schnelle und problemlose Inbetriebnahme unserer Microcontroller-Module unter üblichen Laborbedingungen zu vereinfachen, bieten wir als Ergänzung ein passendes Development Board an. Dieses stellt standardisierte Funktionen und Anschlüsse für die Spannungsversorgung und die einfache Kommunikation mit dem Modul zur Verfügung.

### 13.1 Das Konzept des Development Board phyCORE-HD200

Das Development Board phyCORE-HD200 ist Kernstück einer flexiblen Inbetriebnahme- und Entwicklungsplattform, die einfach und rasch an die Erfordernisse spezieller Applikationen oder neuer Microcontroller-Module angepaßt werden kann. Als Ergänzung bieten wir zum Aufbau dieser Plattformen Erweiterungsplatinen mit unterschiedlichen Funktionen an.

Dieser "Mehr-Platinen-Ansatz" ist in *Bild 9* dargestellt:

- Das eigentliche **Development Board** (1) stellt, als das Kernstück, die absolut rudimentären Funktionen und Anschlüsse zur Verfügung. Dazu zählen die Anschlüsse für ein **externes Netzteil** (2) sowie für die **seriellen Schnittstellen** (3) des Microcontroller-Moduls (je nach Modul bis zu zwei RS-232 und bis zu zwei RS-485 oder CAN-Schnittstellen).
- Auf dem Development Board werden alle Signale des aufgesteckten Moduls über eine starre 1:1 Zuordnung auf zwei Platinen-Steckverbinder geführt. Durch diese starre Zuordnung hängt die konkrete Belegung des **Expansion-Bus** (4) ausschließlich von der Belegung des eingesetzten Microcontroller-Moduls ab.

- Da die mechanische Ausführung des Erweiterungsbusses bei allen entsprechenden Development Boards unseres Hauses standardisiert ist, können wir eine Auswahl von allgemein passenden **Erweiterungsplatinen** (5) anbieten. Diese unterstützen, in unterschiedlichem Umfang, **zusätzliche I/O-Funktionen** (6) zur gezielten Demonstration von bestimmten Controller-Features des eingesetzten **Microcontroller-Moduls** (9).
- Ein **Patchfeld** (7) auf jeder Erweiterungsplatine erlaubt die flexible Verbindung zwischen den jeweils angebotenen Funktionsgruppen und den entsprechenden Signalen des verwendeten Microcontroller-Moduls auf dem Development Board. Hierzu sind wiederum alle Signale des Erweiterungsbusses in einer starren 1:1 Zuordnung auf Stiftleisten geführt. Durch Aufstecken der beigefügten **Patchkabel** (8) auf die korrespondierenden Pins der Stiftleisten werden die erforderlichen Verbindungen hergestellt.

Folgende Skizze verdeutlicht die Zusammenhänge:

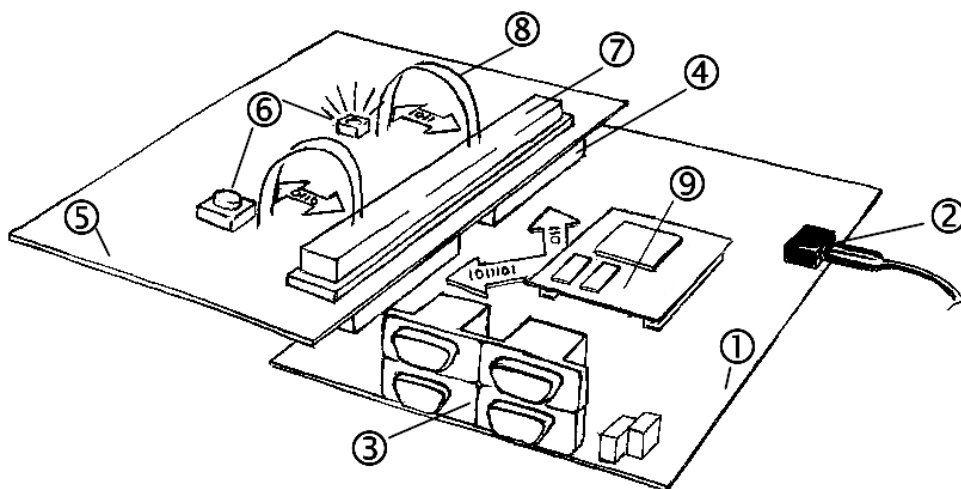


Bild 9: *Das Mehrplatinenkonzept mit phyCORE-AT91M55800A, Development Board und Erweiterungsplatine*

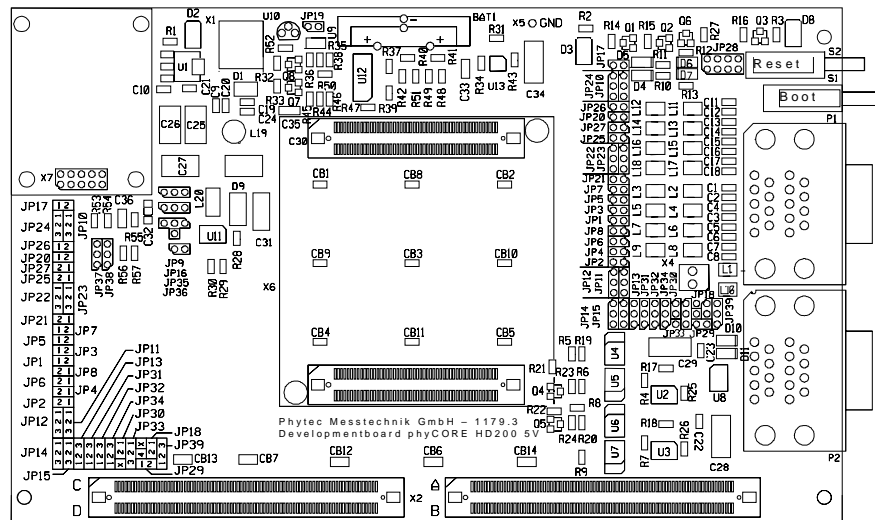
Die folgenden Kapitel enthalten spezifische Informationen, die für den Betrieb des phyCORE-AT91M55800A auf dem Development Board phyCORE-HD200 relevant sind.

## 13.2 Anschlüsse und Jumper des Development Board phyCORE-HD200

### 13.2.1 Anschlüsse

Wie in *Bild 10* dargestellt, stehen folgende Anschlüsse zur Verfügung:

- X1 - Kleinspannungsbuchse zum Anschluß der Versorgungsspannung
- X2 - Expansion-Connector zum Anschluß einer Erweiterungsplatine
- P1 – DB-9 Buchsen zum Anschluß serieller Schnittstellen nach RS-232 Standard
- P2 – DB-9 Stecker zum Anschluß von CAN Feldbussen
- X4 - Spannungsabgriff für die Versorgung externer Baugruppen
- X5 - GND-Anschluß für Meßzwecke
- X6 – phyCORE-Connector zur Aufnahme des phyCORE-Moduls
- X7 - Schnittstelle zum Ethernet-Übertrager-Modul EAD-001
- U9 od. U10 - Anschluß für optionalen Nummernchip
- BAT1- Anschluß für eine optionale Pufferbatterie



*Bild 10: Lage der Anschlüsse auf dem Development Board phyCORE-HD200*

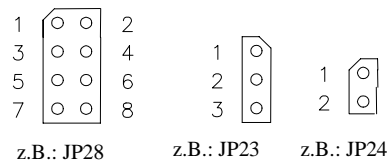
Es sei ausdrücklich darauf hingewiesen, daß bei allen Modulanschlüssen unbedingt die Maximalspannungen und -ströme nicht überschritten werden dürfen. Die Grenzwerte hierfür können Sie dem jeweiligen Microcontroller-Handbuch und den entsprechenden Datenblättern der eingesetzten Schaltkreise auf dem Development Board entnehmen. Da eventuell auftretende Störungen stark vom Einsatzgebiet bzw. Anwendungsfall abhängen, obliegt es der Verantwortung des Anwenders, in entsprechend kritischer Umgebung geeignete Schutzmaßnahmen zu treffen.



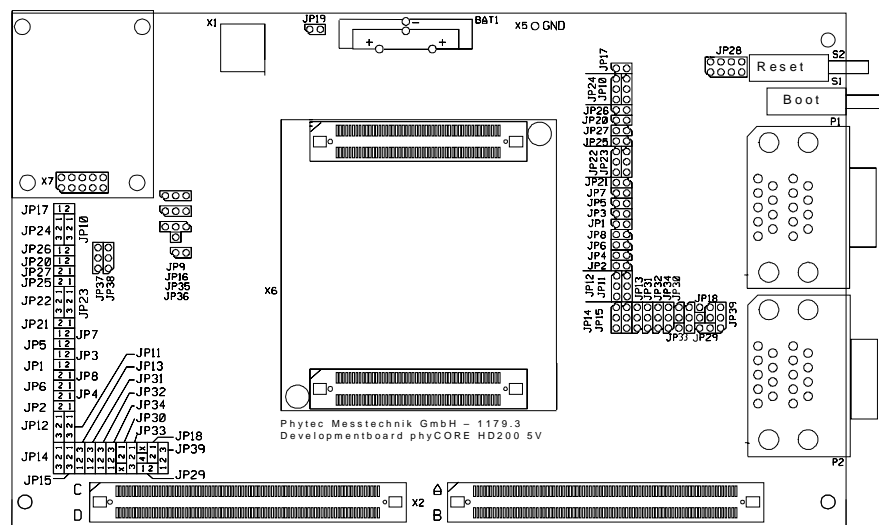
### 13.2.2 Jumper des Development Boardes phyCORE-HD200

Mit Hilfe von Jumpern werden die peripheren Komponenten des Development Board phyCORE-HD200 mit den Signalanschlüssen des phyCORE-AT91M55800A verbunden.

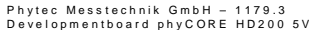
Ohne Jumperbelegung sind alle Signale des Moduls von den DB-9 Verbindern und den CAN-Treibern getrennt. Der Reset-Eingang des phyCORE-AT91M55800A ist direkt mit dem Reset-Taster (S2) verbunden. *Bild 11* verdeutlicht die verwendete Zählweise bei den Jumpern, *Bild 12* die Lage der Jumper auf dem Board.



*Bild 11:*      Zählweise der Jumper



*Bild 12:*      Lage der Jumper (Ansicht Bestückungsseite)



### 13.2.3 Nicht unterstützte Features und unzulässige Jumper-Stellungen

Die folgende Tabelle weist Jumper-Stellungen aus, die aufgrund von speziellen Produkteigenschaften des phyCORE-AT91M55800A auf dem Development Board phyCORE-HD200 unzulässig sind.

#### Spannungsversorgung:

Das Development Board phyCORE-HD200 unterstützt zwei Hauptspannungsversorgungen für den Betrieb verschiedener phyCORE-Module. Beim Einsatz des phyCORE-AT91M55800A werden beide Hauptspannungsversorgung VCC mit 3,3 V und VCC2 mit 5 V benötigt.

#### Keine RS-485 Schnittstelle:

Der DB-9 Stecker P2B des Development Boardes kann alternativ zu CAN auch als RS-485 Schnittstelle verwendet werden. Da das phyCORE-AT91M55800A keine RS-485 Schnittstelle besitzt, sind die entsprechenden Jumperkonfigurationen auf dem Development Board unzulässig.

Jumper	Stellung	Wirkung
JP30	geschlossen	TxD-Signal der 2. seriellen Schnittstelle an Pin 8 des DB-9 Steckers P2B
JP33	1 + 2	RxD-Signal der 2. seriellen Schnittstelle an Pin 2 des DB-9 Steckers P2B

Tabelle 29: Unzulässige Jumper-Stellung JP30/JP33 auf dem Development Board

#### Referenzspannungsquelle für A/D-Wandler

Die Pins X1C42, X1C47, X1D44 und X1D49 (VAGND) des phyCORE-AT91M55800A sind auf dem Development Board phyCORE-HD200 direkt mit GND verbunden. Deshalb ist eine freie Definition von VAGND nicht möglich.

### 13.3 Funktionsgruppen des Development Board

Dieser Abschnitt beschreibt im Detail die vom phyCORE-AT91M55800A unterstützen Funktionsgruppen des Development Board phyCORE-HD200 sowie entsprechende Jumper-Stellungen. In Abhängigkeit von bestimmten Bestückungsoptionen des eingesetzten phyCORE-AT91M55800A können Konfigurationen eingestellt werden, die unter Umständen verschieden von den in *Bild 12* aufgezeigten Default Jumper-Stellungen sind. Durch die Änderung der Default-Einstellungen auf eine abweichende Konfiguration können alternative oder zusätzliche Funktionen des Development Board phyCORE-HD200 aktiviert werden.

#### 13.3.1 Spannungsversorgung an X1

##### **Achtung!**

Verwenden Sie keine Labornetzteile! Die Einschaltspitzen könnten das eingesetzte Modul zerstören!

Vermeiden Sie außerdem bei anliegender Spannung, das Modul bzw. die Jumperbelegung zu wechseln!

Zulässiger Spannungsbereich : +5 VDC geregelt.

Die erforderliche Strombelastbarkeit ist von den benutzten Optionen des phyCORE-AT91M55800A sowie von den verwendeten Zusatzplatinen abhängig. Wir empfehlen die Verwendung von Netzteilen mit mindestens 500 mA Strombelastbarkeit.

Jumper	Stellung	Wirkung
JP9	1 + 2	3,3 V als Hauptversorgungsspannung VCC des phyCORE-AT91M55800A
JP16	2 + 3	5 V als zweite Versorgungsspannung VCC2 des phyCORE-AT91M55800A

Tabelle 30: JP9, JP16 Konfiguration der Hauptversorgungsspannung VCC und VCC2

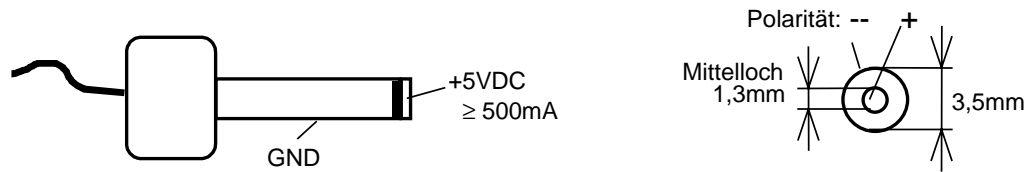


Bild 14: Anschluß der Versorgungsspannung an X1

### Achtung!

Für diese Funktion sind die folgenden Jumper-Stellungen unzulässig:

Jumper	Stellung	Wirkung
JP9	2 + 3	5 V als Hauptversorgungsspannung VCC des phyCORE-AT91M55800A
	offen	phyCORE-AT91M55800A wird nicht mit einer Hauptversorgungsspannung VCC versorgt
J16	1 + 2	3,3 V als zweite Versorgungsspannung VCC2 des phyCORE-AT91M55800A
	offen	phyCORE-AT91M55800A wird nicht mit einer zweiten Versorgungsspannung VCC2 versorgt

Tabelle 31: Unzulässige Jumper-Stellungen JP9 und J16 auf dem Development Board

Bei Konfiguration von Jumper JP9 auf Position 2+3 bzw. Jumper J16 auf 1+2 wird eine Hauptversorgungsspannung VCC von 5 V bzw. VCC2 von 3,3 V eingestellt, was zur Zerstörung des phyCORE-AT91M55800A führen kann. Bei geöffnetem Jumper JP9 bzw. JP16 liegt keine Versorgungsspannung am phyCORE-AT91M55800A an. Diese Jumper-Stellung ist deshalb ebenfalls unzulässig.

### 13.3.2 Erste Serielle Schnittstelle an Buchse P1A

Der Anschluß P1A ist die untere Buchse der Doppelbuchse P1. P1A ist über Jumper mit der ersten seriellen Schnittstelle des phyCORE-AT91M55800A verbunden.

Jumper	Stellung	Wirkung
JP20	geschlossen	Pin 2 der DB9-Buchse P1A mit TxD0 der ersten RS-232 Schnittstelle verbunden
JP21	offen	Pin 9 der DB9-Buchse P1A nicht belegt
JP22	offen	Pin 7 der DB9-Buchse P1A nicht belegt
JP23	offen	Pin 4 der DB9-Buchse P1A nicht belegt
JP24	offen	Pin 6 der DB9-Buchse P1A nicht belegt
JP25	offen	Pin 8 der DB9-Buchse P1A nicht belegt
JP26	offen	Pin 1 der DB9-Buchse P1A nicht belegt
JP27	geschlossen	Pin 3 der DB9-Buchse P1A mit RxD0 der ersten RS-232 Schnittstelle verbunden

Tabelle 32: Jumper-Konfiguration der DB-9 Buchse P1A (1. RS-232)

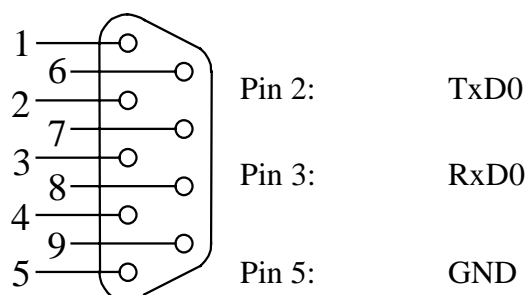


Bild 15: Belegung der DB-9 Buchse P1A als erste RS-232 (Ansicht Vorderseite)

**Achtung!**

In diesem Anwendungsfall sind die folgenden Jumper-Stellungen unzulässig:

<b>Jumper</b>	<b>Stellung</b>	<b>Wirkung</b>
JP20	offen	Pin 2 der DB9-Buchse unbelegt, keine Verbindung zu TxD0 der ersten seriellen Schnittstelle
JP21	geschlossen	Pin 9 der DB-9 Buchse P1A ist mit PB0 des phyCORE-AT91M55800A verbunden
JP22	1 + 2	Pin 7 der DB-9 Buchse P1A ist mit PA27 (/PCS1) des phyCORE-AT91M55800A verbunden
JP23	1 + 2	Pin 4 der DB-9 Buchse P1A ist mit PA24 (MISO) des phyCORE-AT91M55800A verbunden
JP24	1 + 2	Pin 6 der DB-9 Buchse P1A ist mit PA23 (SPCK) des phyCORE-AT91M55800A verbunden
JP25	geschlossen	Pin 8 der DB-9 Buchse P1A ist mit PA20 (SCK2) des phyCORE-AT91M55800A verbunden
JP26	geschlossen	Pin 1 der DB-9 Buchse P1A ist mit PB2 des phyCORE-AT91M55800A verbunden
JP27	offen	Pin 3 der DB9-Buchse unbelegt, keine Verbindung zu RxD0 der ersten seriellen Schnittstelle

*Tabelle 33: Unzulässige Jumper-Stellungen bei der Konfiguration von P1A als Erste RS-232 Schnittstelle*

Der Spannungspegel auf den RS-232 Leitungen kann zur Zerstörung des phyCORE-AT91M55800A führen.

### 13.3.3 Zweite Serielle Schnittstelle an Buchse P1B

Der Anschluß P1B ist die obere Buchse der Doppelbuchse P1. P1B kann über Jumper mit der zweiten seriellen Schnittstelle des phyCORE-AT91M55800A verbunden werden. Die nachfolgenden Beschreibungen basieren auf einer Konfiguration des Moduls bei der die on-board RS-232-Treiber verwendet werden (*siehe Kapitel 3.19*).

Jumper	Stellung	Wirkung
JP1	geschlossen	Pin 2 der DB9-Buchse P1B mit TxD1_RS232 <sup>1</sup> der zweiten RS-232 Schnittstelle verbunden
JP2	offen	Pin 9 der DB9-Buchse P1B nicht belegt
JP3	offen	Pin 7 der DB9-Buchse P1B nicht belegt
JP4	offen	Pin 4 der DB9-Buchse P1B nicht belegt
JP5	offen	Pin 6 der DB9-Buchse P1B nicht belegt
JP6	offen	Pin 8 der DB9-Buchse P1B nicht belegt
JP7	offen	Pin 1 der DB9-Buchse P1B nicht belegt
JP8	geschlossen	Pin 3 der DB9-Buchse P1B mit RxD1_RS232 <sup>2</sup> der zweiten RS-232 Schnittstelle verbunden

Tabelle 34: Jumper-Konfiguration der DB-9 Buchse P1B (2. RS-232)

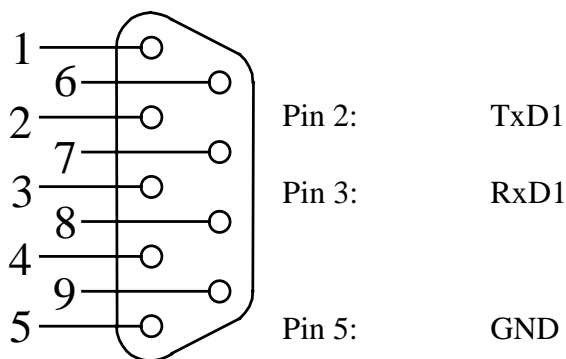


Bild 16: Belegung der DB-9 Buchse P1B als 2. RS-232 (Ansicht Vorderseite)

<sup>1</sup>: Konfiguration des Jumpers J39 auf dem phyCORE-AT91M55800A beachten, *siehe Kapitel 3.19*.

<sup>2</sup>: Konfiguration des Jumpers J38 auf dem phyCORE-AT91M55800A beachten, *siehe Kapitel 3.19*.



**Achtung!**

In diesem Anwendungsfall sind die folgenden Jumper-Stellungen unzulässig:

<b>Jumper</b>	<b>Stellung</b>	<b>Wirkung</b>
JP1	offen	Pin 2 der DB9-Buchse unbelegt, keine Verbindung zu TxD1 der zweiten seriellen Schnittstelle
JP2	geschlossen	Pin 9 der DB-9 Buchse P1B ist mit PA28 (/PCS2) des phyCORE-AT91M55800A verbunden
JP3	geschlossen	Pin 7 der DB-9 Buchse P1B ist mit TxD2_RS232 des phyCORE-AT91M55800A verbunden
JP4	geschlossen	Pin 4 der DB-9 Buchse P1B ist mit PA26 (/PCS0) des phyCORE-AT91M55800A verbunden
JP5	geschlossen	Pin 6 der DB-9 Buchse P1B ist mit PA25 (MOSI) des phyCORE-AT91M55800A verbunden
JP6	geschlossen	Pin 8 der DB-9 Buchse P1B ist mit RxD2_RS232 des phyCORE-AT91M55800A verbunden
JP7	geschlossen	Pin 1 der DB-9 Buchse P1B ist mit PA29 (/PCS3) des phyCORE-AT91M55800A verbunden
JP8	offen	Pin 3 der DB9-Buchse unbelegt, keine Verbindung zu RxD1 der zweiten seriellen Schnittstelle

*Tabelle 35: Unzulässige Jumper-Stellungen bei der Konfiguration von P1B als Zweite RS-232 Schnittstelle*

Der Spannungspegel auf den RS-232 Leitungen kann zur Zerstörung des phyCORE-AT91M55800A führen.

### 13.3.4 Dritte Serielle Schnittstelle an Buchse P1B

Der Anschluß P1B ist die obere Buchse der Doppelbuchse P1. P1B kann, als Alternative zur zweiten seriellen Schnittstelle (siehe Kapitel 13.3.3), über Jumper auch mit der dritten seriellen Schnittstelle des phyCORE-AT91M55800A verbunden werden. Die nachfolgenden Beschreibungen basieren auf einer Konfiguration des Moduls bei der die on-board RS-232-Treiber verwendet werden (siehe Kapitel 3.3).

#### Hinweis:

Um alle drei seriellen Schnittstellen des phyCORE-AT91M55800A an den beiden DB-9 Buchsen P1A und P1B des Development Board nutzen zu können, ist es möglich, die Buchse P1B mit den Signalen der zweiten und dritten seriellen Schnittstelle **gleichzeitig** zu belegen. Bitte beachten Sie in diesem Fall die Pinbelegung!

Jumper	Stellung	Wirkung
JP1	offen	Pin 2 der DB9-Buchse P1B nicht belegt
JP2	offen	Pin 9 der DB9-Buchse P1B nicht belegt
JP3	geschlossen	Pin 7 der DB9-Buchse P1B mit TxD2_RS232 <sup>1</sup> der dritten seriellen Schnittstelle verbunden
JP4	offen	Pin 4 der DB9-Buchse P1B nicht belegt
JP5	offen	Pin 6 der DB9-Buchse P1B nicht belegt
JP6	geschlossen	Pin 8 der DB9-Buchse P1B mit RxD2_RS232 <sup>2</sup> der dritten seriellen Schnittstelle verbunden
JP7	offen	Pin 1 der DB9-Buchse P1B nicht belegt
JP8	offen	Pin 3 der DB9-Buchse P1B nicht belegt

Tabelle 36: Jumper-Konfiguration der DB-9 Buchse P1B (3. RS-232)

---

<sup>1</sup> : Konfiguration des Jumpers J10 auf dem phyCORE-AT91M55800A beachten, siehe Kapitel 3.3.

<sup>2</sup> : Konfiguration des Jumpers J11 auf dem phyCORE-AT91M55800A beachten, siehe Kapitel 3.3.

---

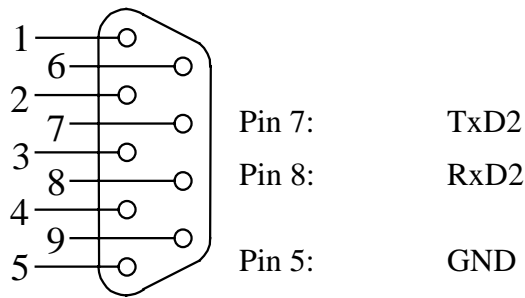


Bild 17: Belegung der DB-9 Buchse P1B als dritte RS-232 (Ansicht Vorderseite<sup>1</sup>)

### Achtung!

In diesem Anwendungsfall sind die folgenden Jumper-Stellungen unzulässig bzw. erfordern spezielle Kabelverbindungen:

Jumper	Stellung	Wirkung
JP1	geschlossen <sup>2</sup>	Pin 2 der DB9-Buchse P1B mit TxD1_RS232 des phyCORE-AT-91M55800A verbunden
JP2	geschlossen	Pin 9 der DB-9 Buchse P1B ist mit PA28 (/PCS2) des phyCORE-AT91M55800A verbunden
JP3	offen	Pin 7 der DB-9 Buchse unbelegt, keine Verbindung zu TxD2_RS232 der dritten seriellen Schnittstelle
JP4	geschlossen	Pin 4 der DB-9 Buchse P1B ist mit PA26 (/PCS0) des phyCORE-AT91M55800A verbunden
JP5	geschlossen	Pin 6 der DB-9 Buchse P1B ist mit PA25 (MOSI) des phyCORE-AT91M55800A verbunden
JP6	offen	Pin 8 der DB-9 Buchse unbelegt, keine Verbindung zu RxD2_RS232 der dritten seriellen Schnittstelle
JP7	geschlossen	Pin 1 der DB-9 Buchse P1B ist mit PA29 (/PCS3) des phyCORE-AT91M55800A verbunden
JP8	geschlossen <sup>2</sup>	Pin 3 der DB9-Buchse P1B ist mit RxD1_RS232 des phyCORE-AT91M55800A verbunden

Tabelle 37: Unzulässige Jumper-Stellungen bei der Konfiguration von P1B als dritte RS-232 Schnittstelle

Der Spannungspegel auf den RS-232 Leitungen kann zur Zerstörung des phyCORE-AT91M55800A führen.

<sup>1</sup> : Hinweis: Diese Pinbelegung entspricht **NICHT** der genormten Belegung für die Signale RxD und TxD und erfordert den Einsatz spezieller RS-232 Kabel.

<sup>2</sup> : Diese Jumperstellung ist prinzipiell nutzbar und führt zu einer Doppelbelegung der Buchse P1B mit den Signalen der 2. **UND** 3. RS-232 Schnittstelle des phyCORE-AT91M55800A.

### 13.3.5 Erste CAN-Schnittstelle an Stecker P2A

Der Anschluß P2A ist der untere Stecker des Doppelsteckers P2. Zu diesem Stecker werden die Signale der Schnittstelle CAN0 des phyCORE-AT91M55800A geführt. In der aktuellen Version des phyCORE Development Board HD200 ist nur die Verwendung der CAN-Treiber auf dem phyCORE-AT91M55800A möglich. Die CAN-Signale werden direkt (ohne optische Entkopplung) an den Stecker P2A geführt.

Jumper	Stellung	Wirkung
JP31	2 + 3	P2A Pin 2 ist mit CAN_L0 vom on-board Treiber des phyCORE-AT91M55800A verbunden
JP32	2 + 3	P2A Pin 7 ist mit CAN_H0 vom on-board Treiber des phyCORE-AT91M55800A verbunden
JP11	offen	Eingang am Optokoppler U4 auf dem Development Board phyCORE-HD200 offen
JP12	offen	Ausgang am Optokoppler U5 auf dem Development Board phyCORE-HD200 offen
JP13	offen	CAN-Treiber und Optokoppler auf dem Development Board phyCORE-HD200 spannungsfrei
JP18	offen	CAN-Treiber und Optokoppler auf dem Development Board phyCORE-HD200 potentialfrei
JP29	offen	kein Spannungsabgriff über CAN-Bus

Tabelle 38: Jumper-Konfiguration des CAN-Steckers P2A mit CAN-Treiber auf phyCORE-AT91M55800A

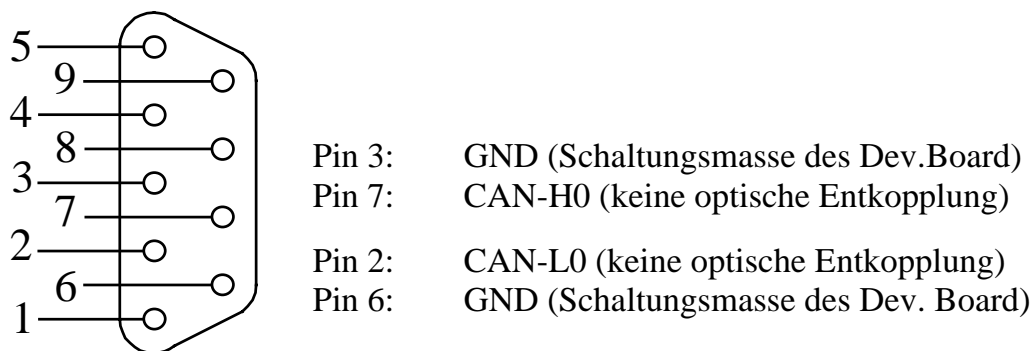


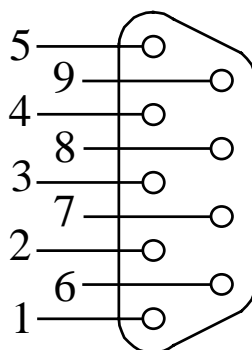
Bild 18: Belegung des DB9-Steckers P2A (CAN-Treiber auf phyCORE-AT91M55800A)

### 13.3.6 Zweite CAN-Schnittstelle an Stecker P2B

Der Anschluß P2B ist der obere Stecker des Doppelsteckers P2. Zu diesem Stecker werden die Signale der Schnittstelle CAN1 des phyCORE-AT91M55800A geführt. In der aktuellen Version des phyCORE Development Board HD200 ist nur die Verwendung der CAN-Treiber auf dem phyCORE-AT91M55800A möglich. Die CAN-Signale werden direkt (ohne optische Entkopplung) an den Stecker P2B geführt.

Jumper	Stellung	Wirkung
JP33	2 + 4	P2B Pin 2 ist mit CAN_L1 vom on-board Treiber des phyCORE-AT91M55800A verbunden
JP34	2 + 3	P2B Pin 7 ist mit CAN_H1 vom on-board Treiber des phyCORE-AT91M55800A verbunden
JP14	offen	Eingang am Optokoppler U6 auf dem Development Board phyCORE-HD200 offen
JP15	offen	Ausgang am Optokoppler U7 auf dem Development Board phyCORE-HD200 offen
JP13	offen	CAN-Treiber und Optokoppler auf dem Development Board phyCORE-HD200 spannungsfrei
JP18	offen	CAN-Treiber und Optokoppler auf dem Development Board phyCORE-HD200 potentialfrei
JP29	offen	kein Spannungsabgriff über CAN-Bus

Tabelle 39: Jumper-Konfiguration des CAN-Steckers P2B mit CAN-Treiber auf phyCORE-AT91M55800A



- Pin 3: GND (Schaltungsmasse des Dev. Board)
- Pin 7: CAN-H1 (keine optische Entkopplung)
- Pin 2: CAN-L1 (keine optische Entkopplung)
- Pin 6: GND (Schaltungsmasse des Dev. Board)

Bild 19: Belegung des DB-9 Steckers P2B (CAN-Treiber auf phyCORE-AT91M55800A)

### 13.3.7 Visualisierungs-LED D3

Das Development Board phyCORE-HD200 ist mit einer LED D3 ausgestattet, die als einfaches Anzeige-Element verwendet werden kann. Diese LED kann mit Hilfe des Portpins PA0 des phyCORE-AT91M55800A auf GPIO0 (JP17 = geschlossen) angesteuert werden. Beim Anliegen eines Low-Pegels am Port PA0 leuchtet die LED D3, bei einem High-Pegel an GPIO0 bleibt die LED D3 erloschen.

Jumper	Stellung	Wirkung
JP17	geschlossen	Low-Pegel an Port A0 des AT91M55800A bringt LED D3 zum Leuchten

Tabelle 40: JP17 Konfiguration der Visualisierungs-LED D3

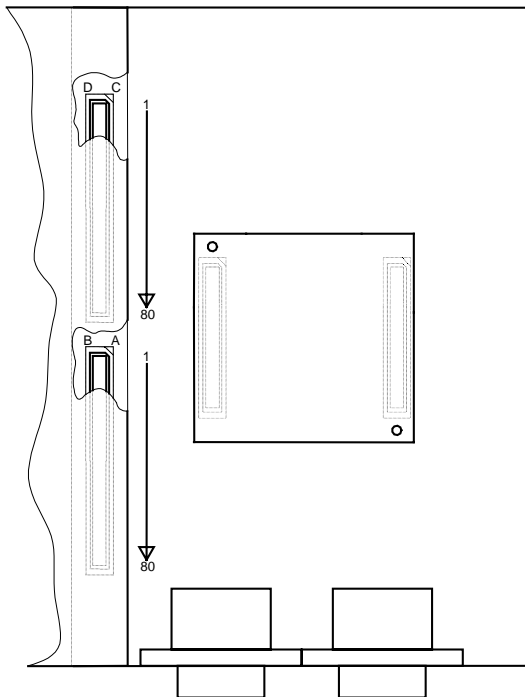
### 13.3.8 Die Belegungen des phyCORE, des Expansion-Bus und des Patchfeldes im Überblick

Wie bereits in *Kapitel 13.1* erläutert, werden alle Signale des phyCORE-AT91M55800A mittels einer starren 1:1-Zuordnung auf den Expansion-Connector X2 geführt. Dieser wird wiederum anhand einer weiteren, ebenfalls starren 1:1-Zuordnung mit dem Patchfeld einer optional angeschlossenen Erweiterungsplatine verbunden.

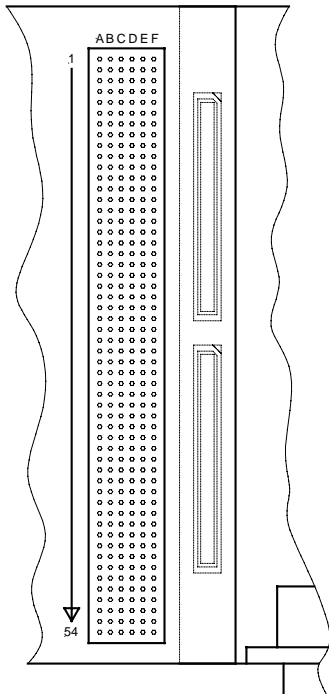
Bitte beachten Sie hierbei, daß je nach Ausführung und Größe der Erweiterungsplatine, unter Umständen nur ein Teil des kompletten Patchfeldes realisiert wird. Dieser stellt eine Untermenge der hier aufgeführten Signale dar. Die Numerierungen behalten dabei trotzdem ihre Gültigkeit.

Analog zur Zählweise des phyCORE-Connectors wird auch beim Expansion-Connector und dem Patchfeld eine zweidimensionale Zählmatrix verwendet. Deren Ausrichtung weicht allerdings aus Gründen des Layouts von der des phyCORE-Connectors ab.

Bitte entnehmen sie den beiden folgenden Bildern die Ausrichtung der Zählmatrix für den Expansion-Connector sowie des Patchfeldes:



*Bild 20: Zählweise für den Expansion-Bus*



*Bild 21: Zählweise des Patchfeldes*

Für das phyCORE-AT91M55800A auf einem Development Board phyCORE-HD200 und einer angeschlossenen Erweiterungsplatine ergeben sich folgende Pinbelegungen:

Signal	phyCORE-Modul	Expansion-Bus	Patchfeld
D0	18B	18B	33F
D1	19A	19A	34A
D2	20A	20A	34E
D3	20B	20B	34B
D4	21A	21A	34D
D5	21B	21B	34F
D6	22B	22B	35A
D7	23A	23A	35E
D8	28B	28B	37C
D9	29A	29A	37E
D10	30A	30A	37B
D11	30B	30B	37F
D12	31A	31A	38A
D13	31B	31B	38C
D14	32B	32B	38E
D15	33A	33A	38B
A0	8B	8B	30B
A1	9A	9A	30D
A2	10A	10A	30F
A3	10B	10B	31A
A4	11A	11A	31E
A5	11B	11B	31B
A6	12B	12B	31F
A7	13A	13A	32A
A8	13B	13B	32C
A9	14A	14A	32E
A10	15A	15A	32B
A11	15B	15B	32F
A12	16A	16A	33A
A13	16B	16B	33C
A14	17B	17B	33E
A15	18A	18A	33B

*Tabelle 41: Daten/Adressbus-Pinzuordnung phyCORE-AT91M55800A /  
Development Board / Erweiterungsplatine*



<b>Signal</b>	<b>phyCORE-Modul</b>	<b>Expansion-Bus</b>	<b>Patchfeld</b>
A16	23B	23B	35B
A17	24A	24A	35D
A18	25A	25A	35F
A19	25B	25B	36A
A20	26A	26A	36E
A21	26B	26B	36B
A22	27B	27B	36F
A23	28A	28A	37A
/CS0	5A	5A	29E
/CS1	5B	5B	29B
/CS2	6A	6A	29D
/CS3	6B	6B	29F
/CS4	35A	35A	39E
/CS5	35B	35B	39B
/CS6	36A	36A	39D
/CS7	36B	36B	39F
/RD	7B	7B	30A
/WR	8A	8A	30E
/WAIT	34A	34A	39A
/RESIN	10D	10D	3F
/RESET	10C	10C	3D
/SHDN	11C	11C	4E
WAKEUP	20C	20C	7A
/WDOVF	8C	8C	3E
AD0	50C	50C	17A
AD1	49C	49C	16F
AD2	48D	48D	16B
AD3	48C	48C	16E
AD4	47D	47D	16C
AD5	46D	46D	16A
AD6	46C	46C	15F
AD7	45D	45D	15B
DA0	43C	43C	14F
DA1	43D	43D	15A

*Tabelle 42: Pinzuordnung Adress/Steuerbus und Analogteil  
phyCORE-AT91M55800A / Development Board /  
Erweiterungsplatine*

Signal	phyCORE-Modul	Expansion-Bus	Patchfeld
PA0 / TCLK3	11D	11D	4A
PA1 / TIOA3	12D	12D	4B
PA2 / TIOB3	13C	13C	4F
PA3 / TCLK4	13D	13D	5A
PA4 / TIOA4	14C	14C	5C
PA5 / TIOB4	15C	15C	5E
PA6 / TCLK5	15D	15D	5B
PA7 / TIOA5	16C	16C	5F
PA8 / TIOB5	41C	41C	14A
PA9 / IRQ0	2B	2B	28E
PA10 / IRQ1	3A	3A	28B
PA11 / IRQ2	3B	3B	28F
PA12 / IRQ3	4A	4A	29A
PA13 / FIQ	41D	41D	14E
PA14 / SCK0	19C	19C	6F
PA15 / TxD0	17D	17D	6C
PA16 / RxD0	16D	16D	6A
PA17 / SCK1	9C	9C	3B
PA18 / TxD1 / /TRI	23C <sup>1</sup>	23C <sup>1</sup>	8A
PA19 / RxD1	21C <sup>2</sup>	21C <sup>1</sup>	7B
PA20 / SCK2	25D	25D	8F
PA21 / TxD2	25C <sup>3</sup>	25C <sup>3</sup>	8D
PA22 / RxD2	24C <sup>4</sup>	24C <sup>4</sup>	8B
PA23 / SPCK	28D	28D	10A
PA24 / MISO	27D	27D	9B
PA25 / MOSI	28C	28C	9F
PA26 / /PCS0 / /SS	26C	26C	9A
PA27 / /PCS1	26D	26D	9E
PA28 / /PCS2	29C	29C	10C
PA29 / /PCS3	30C	30C	10E

Tabelle 43: Pinzuordnung Port PA phyCORE-AT91M55800A / Development Board / Erweiterungsplatine

- <sup>1</sup>: Konfiguration Jumper J39 auf dem phyCORE-AT91M55800A beachten, *siehe Kapitel 3.19*  
<sup>2</sup>: Konfiguration Jumper J38 auf dem phyCORE-AT91M55800A beachten, *siehe Kapitel 3.19*.  
<sup>3</sup>: Konfiguration Jumper J10 auf dem phyCORE-AT91M55800A beachten, *siehe Kapitel 3.3*.  
<sup>4</sup>: Konfiguration Jumper J11 auf dem phyCORE-AT91M55800A beachten, *siehe Kapitel 3.3*.

<b>Signal</b>	<b>phyCORE-Modul</b>	<b>Expansion-Bus</b>	<b>Patchfeld</b>
PB0	30D	30D	10B
PB1	31C	31C	10F
PB2	31D	31D	11A
PB3 / IRQ4	32D	32D	11C
PB4 / IRQ5	33D	33D	11B
PB5 / IRQ6	50B	50B	44B
PB6 / AD0TRIG	45C	45C	15E
PB7 / AD1TRIG	44C	44C	15C
PB8	37B	37B	40A
PB9	38A	38A	40E
PB10	38B	38B	40B
PB11	39A	39A	40D
PB12	40A	40A	40F
PB13	40B	40B	41A
PB14	41A	41A	41E
PB15	41B	41B	41B
PB16	42B	42B	41F
PB17	43A	43A	42A
PB18 / BMS	43B	43B	42C
PB19 / TCLK0	44A	44A	42E
PB20 / TIOA0	45A	45A	42B
PB21 / TIOB0	45B	45B	42F
PB22 / TCLK1	46A	46A	43A
PB23 / TIOA1	46B	46B	43C
PB24 / TIOB1	47B	47B	43E
PB25 / TCLK2	48A	48A	43B
PB26 / TIOA2	48B	48B	43F
PB27 / TIOB2	49A	49A	44A

*Tabelle 44: Pinzuordnung Port PB phyCORE-AT91M55800A / Development Board / Erweiterungsplatine*

Signal	phyCORE-Modul	Expansion-Bus	Patchfeld
CAN-H0	21D	21D	7D
CAN-L0	20D	20D	7E
CAN-H1	18C	18C	6E
CAN-L1	18D	18D	6B
RxD0_RS232	22D	22D	7F
TxD0_RS232	23D	23D	8E
RxD1_RS232	21C	21C	7B
TxD1_RS232	23C	23C	8A
RxD2_RS232	24C	24C	8B
TxD2_RS232	25C	25C	8D
LAN_LED	33C	33C	11E
LINK_LED	34C	34C	11F
RxD-	35C	35C	12A
RxD+	35D	35D	12E
TxD-	36C	36C	12B
TxD+	36D	36D	12D
JTAGSEL	37D	37D	12F
/TRST	39C	39C	13B
TMS	40D	40D	13F
TDO	38D	38D	12E
TDI	38C	38C	13A
TCK	40C	40C	13D

*Tabelle 45: Schnittstellen-Pinzuordnung phyCORE-AT91M55800A /  
Development Board / Erweiterungsplatine*

<b>Signal</b>	<b>phyCORE-Modul</b>	<b>Expansion-Bus</b>	<b>Patchfeld</b>
VCC	1C, 2C, 1D, 2D	1C, 2C, 1D, 2D	1A, 1C
VCC2	4C, 5C	4C, 5C	2A, 1B
XIN	1A	1A	28A
MCKO	1B	1B	28C
VPD	6D	6D	2D
VBAT	6C	6C	2B
ADVREF	50D	50D	17E
DAVREF	42D	42D	14B
VAGND	42C, 47C, 44D, 49D	42C, 47C, 44D, 49D	Mit GND verbunden
GND	2A, 7A, 12A, 17A, 22A, 27A, 32A, 37A, 42A, 47A, 4B, 9B, 14B, 19B, 24B, 29B, 34B, 39B, 44B, 49B, 3C, 7C, 12C, 17C, 22C, 27C, 32C, 37C, 3D, 9D, 14D, 19D, 24D, 29D, 34D, 39D	2A, 7A, 12A, 17A, 22A, 27A, 32A, 37A, 42A, 47A, 52A, 57A, 62A, 67A, 72A, 77A, 4B, 9B, 14B, 19B, 24B, 29B, 34B, 39B, 44B, 49B, 54B, 59B, 64B, 69B, 74B, 79B, 3C, 7C, 12C, 17C, 22C, 27C, 32C, 37C, 42C, 47C, 52C, 57C, 62C, 67C, 72C, 77C, 3D, 9D, 14D, 19D, 24D, 29D, 34D, 39D, 42D, 47D, 52D, 57D, 62D, 67D, 72D, 77D	3C, 4C, 7C, 8C, 9C, 12C, 13C, 14C, 17C, 18C, 19C, 22C, 23C, 24C, 27C, 29C, 30C, 31C, 34C, 35C, 36C, 39C, 40C, 41C, 44C, 45C, 46C, 49C, 50C, 51C, 54C, 4D, 5D, 6D, 9D, 10D, 11D, 14D, 15D, 16D, 9D, 20D, 21D, 24D, 25D, 26D, 28D, 31D, 32D, 33D, 36D, 37D, 38D, 41D, 42D, 43D, 46D, 47D, 48D, 51D, 52D, 53D, 1E, 2E, 1F

*Tabelle 46: Versorgungsspannungs-Pinzuordnung phyCORE-AT91M55800A / Development Board / Erweiterungsplatine*

Signal	phyCORE-Modul	Expansion-Bus	Patchfeld
NC	50A, 4D, 5D, 7D, 8D	50A, 51A, 53A, 54A, 55A, 56A, 58A, 59A, 60A, 61A, 63A, 64A, 65A, 66A, 68A, 69A, 70A, 71A, 73A, 74A, 75A, 76A, 78A, 79A, 80A 51B, 53B, 54B, 55B, 56B, 58B, 59B, 60B, 61B, 63B, 64B, 65B, 66B, 68B, 69B, 70B, 71B, 73B, 74B, 75B, 76B, 78B, 79B, 80B 51C, 53C, 54C, 55C, 56C, 58C, 59C, 60C, 61C, 63C, 64C, 65C, 66C, 68C, 69C, 70C, 71C, 73C, 74C, 75C, 76C, 78C, 79C, 80C 4D, 5D, 7D, 8D, 51D, 53D, 54D, 55D, 56D, 58D, 59D, 60D, 61D, 63D, 64D, 65D, 66D, 68D, 69D, 70D, 71D, 73D, 74D, 75D, 76D, 78D, 79D, 80D	18A, 19A, 20A, 21A, 22A, 23A 24A, 25A, 26A, 27A, 45A, 46A, 47A, 48A, 49A, 50A, 51A, 52A, 53A, 54A 17B, 18B, 19B, 20B, 21B, 22B, 23B, 24B, 25B, 26B, 27B, 45B, 46B, 47B, 48B, 49B, 50B, 51B, 52B, 53B, 54B 20C, 21C, 25C, 26C, 47C, 48C, 52C, 53C 17D, 18D, 22D, 23D, 27D, 44D 45D, 49D, 50D, 54D 18E, 19E, 20E, 21E, 22E, 23E, 24E, 25E, 26E, 27E, 45E, 46E, 47E, 48E, 49E, 50E, 51E, 52E, 53E, 54E 17F, 18F, 19F, 20F, 21F, 22F, 23F, 24F, 25F, 26F, 27F, 44F, 45F, 46F, 47F, 48F, 49F, 50F, 51F, 52F, 53F, 54F

*Tabelle 47: Nicht verwendete Pins des phyCORE-AT91M55800A beim Development Board und der Erweiterungsplatine*

### 13.3.9 Batterieanschluß BAT1

Der Anschluß BAT1 dient zur Bestückung einer Batterie, die die RTC auf dem phyCORE-AT91M55800A puffert. Bei Ausfall der Betriebsspannung VCC wird die RTC automatisch durch die angeschlossene Batterie weiterversorgt. Optional können auch die SRAMs durch eine externe Batterieversorgung gepuffert werden. Diese Auswahl wird über Jumper J25 (siehe Kapitel 3.12) fest eingestellt. Eine Pufferung der SRAMs ist in den meisten Fällen jedoch nicht zu empfehlen, da die SRAM-Bausteine auch während der Betriebsphase ihren Betriebsstrom von VBAT entnehmen und somit zu einer sehr schnellen Batterieentladung beitragen. Die für die RTC-Pufferung erforderliche Batterie (siehe auch Kapitel 9) kann bei der Firma PHYTEC Meßtechnik GmbH bezogen werden.

### 13.3.10 Nummernchip

Für verschiedene Software-Applikationen im Netzbereich wird für die Definition einer Knotenadresse oder als Kopierschutz ein Nummernchip eingesetzt. Der Nummernchip DS2401 kann je nach Bauform auf Position U10 oder U9 aufgelötet werden.

Der Nummernchip auf dem Development Board phyCORE-HD200 kann über das Portpin PA1 des AT91M55800A Controllers angesprochen werden.

Jumper	Stellung	Wirkung
JP19	geschlossen	Nummernchip mit Port A1 des AT91M55800A verbunden

Tabelle 48: JP19 Konfiguration des Nummernchip

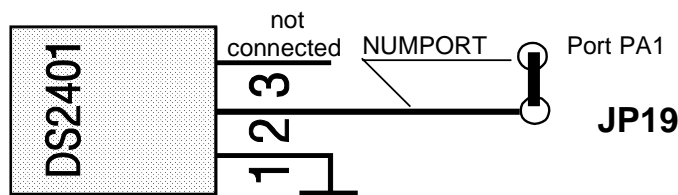


Bild 22: Anschluß des Nummernchips

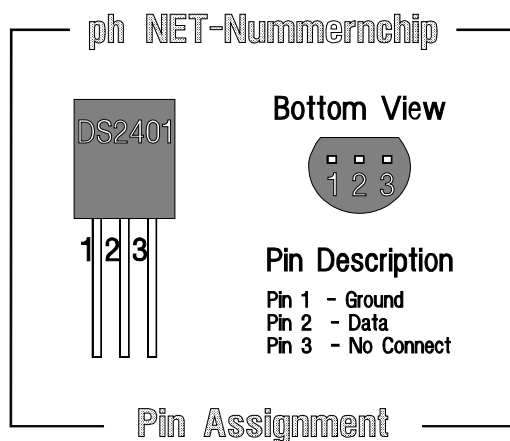


Bild 23: Pinbelegung Nummernchip

### 13.3.11 Stiftleiste X4

Die Stiftleiste X4 ist für den Anschluß einer Spannungsversorgung eines optional an die erste RS-232-Schnittstelle anschließbaren Modemmoduls gedacht. An Pin 1 des Steckers ist die Spannung 5 VDC verfügbar, am Pin 2 ist das Bezugspotential GND der Development Board phyCORE-HD200 angeschlossen. Die maximale Strombelastbarkeit ist abhängig vom verwendeten Netzteil. Es wird empfohlen, nur Geräte mit weniger als 250 mA Stromaufnahme einzusetzen.



## Index

/		
/CS0 .....	28	
/WAIT .....	24	
<b>8</b>		
82C251 .....	15	
82C900 .....	15	
<b>A</b>		
Abmessungen .....	42	
Anschlußbelegung .....	1	
Anschlüsse .....	1	
<b>B</b>		
Backup-Reset .....	14	
Batteriepufferung .....	38	
Betriebsspannungen .....	43	
Betriebstemperaturbereich .....	43	
Buchse P1A .....	55	
Buchse P1B .....	57, 59	
<b>C</b>		
CANRx .....	33	
CAN-Schnittstelle .....	12, 33	
CAN-Transceiver .....	12, 15	
CANTx .....	33	
CLKIN .....	22	
CS8900A .....	16	
<b>D</b>		
Debug-Schnittstelle .....	40	
Development Board		
Anschlüsse .....	48	
Development Board		
Funktionsgruppen .....	53	
Jumper .....	50	
<b>E</b>		
EBI_CSRx .....	28	
EEPROM		
Schreibschutz .....	20	
EEPROM, seriell .....	35	
EMV .....	1	
ESD .....	1	
Ethernet, Chip-Select .....	18	
Ethernet, Interrupt-Signal .....	19	
Ethernet, Modus .....	18	
Ethernet-Controller .....	16	
Expansion-Bus .....	63	
<b>F</b>		
Features .....	3	
Flash Speicher .....	37	
Flash Speichergröße .....	11	
<b>G</b>		
Gewicht .....	43	
<b>H</b>		
Hinweise zum Umgang .....	44	
<b>I</b>		
Initialisierung des Systems .....	26	
Initialisierungsroutine .....	26	
<b>J</b>		
J12 .....	10	
J13 .....	10	
J14 .....	12	
J15 .....	12	
J16 .....	12	
J17 .....	12	
J18 .....	11	
J19 .....	11	
J20 .....	13	
J21 .....	13	
J22 .....	14	
J23 .....	15	
J24 .....	15	

J25 .....	16	PCA82C251 .....	33
J26 .....	16	phyCORE-Connector .....	4
J28 .....	16	Pin-Belegungen .....	63
J29 .....	20	Pinout .....	7
J3 .....	6	<b>R</b>	
J30 .....	20	RAM Speichergröße .....	10
J31 .....	20	Referenzspannung .....	13
J32 .....	22	Reset .....	26
J33 .....	9	Reset-Taster .....	50
J34 .....	16	RS-232 Schnittstelle .....	32
J35 .....	15	RS-232-Treiber .....	32
J36 .....	22	<b>S</b>	
J37 .....	24	Serielle Schnittstelle 1 .....	5
J38 .....	25	Serielle Schnittstelle 2 .....	25
J39 .....	25	Serielle Schnittstelle 3 .....	8
J4 .....	6	SMT-Stiftleisten .....	1
J5 .....	6	Spannungsversorgung .....	53
J6 .....	6	Speichermodule .....	28
J7 .....	6	SPI-Interface .....	6
J8 .....	6	SRAM,	
J9 .....	6	Versorgungsspannung .....	16
JTAG-Schnittstelle .....	40	Stecker P2A .....	61
Jumper .....	1	Stecker P2B .....	62
Jumperbelegung .....	4	Stromaufnahme .....	43
<b>K</b>		System-Konfiguration .....	26
Konzept des		System-Startup-	
Development Board .....	46	Konfiguration .....	26
Kurzübersicht .....	1	<b>T</b>	
<b>L</b>		Technische Daten .....	42
Lagertemperaturbereich .....	43	TLE6250 .....	33
LED D3 .....	63	TLE6250V33 .....	15
Luftfeuchtebereich .....	43	TLE6250V5 .....	15
<b>M</b>		Twin-CAN-Controller .....	15
Modulgröße .....	43	<b>U</b>	
<b>N</b>		U1 .....	32
Nummernchip .....	72	U26 .....	33
<b>P</b>		U27 .....	33
Patchfeld .....	63	U29 .....	35
		U6 .....	37

---

U7 .....	37	Versorgungsspannung	
U8 .....	37	I/O Pins .....	22
U9 .....	37	<b>W</b>	
<b>V</b>		Waitstate .....	29
V <sub>ADVREF</sub> .....	13	<b>X</b>	
VCC .....	15	X2 .....	40
VCC2 .....	15		
V <sub>DAVREF</sub> .....	13		



---

**Dokument:** phyCORE-AT91M55800A  
**Dokumentnummer:** L-618d\_1, Juni 2002

---

**Wie würden Sie dieses Handbuch verbessern?**

---

---

---

---

**Haben Sie in diesem Handbuch Fehler entdeckt?**

Seite

---

---

---

---

**Eingesandt von:**

Kundennummer: \_\_\_\_\_

Name: \_\_\_\_\_

Firma: \_\_\_\_\_

Adresse: \_\_\_\_\_

\_\_\_\_\_

**Einsenden an:**

PHYTEC Technologie Holding AG  
Postfach 100403  
D-55135 Mainz, Germany  
Fax : +49 (6131) 9221-33

Published by

---

**PHYTEC**

© PHYTEC Meßtechnik GmbH 2002

Ordering No. L618d\_1  
Printed in Germany