

**Adaptierung
grabbMODUL-1 -- MM-DSP-C5x
[1,2,3,4]**

Januar 1996

Im Buch verwendete Bezeichnungen für Erzeugnisse, die zugleich ein eingetragenes Warenzeichen darstellen, wurden nicht besonders gekennzeichnet. Das Fehlen der Markierung ist demzufolge nicht gleichbedeutend mit der Tatsache, daß die Bezeichnung als freier Warenname gilt. Ebenso wenig kann anhand der verwendeten Bezeichnung auf eventuell vorliegende Patente oder einen Gebrauchsmusterschutz geschlossen werden.

Ferner sei ausdrücklich darauf verwiesen, daß PHYTEC Meßtechnik GmbH weder eine Garantie noch die juristische Verantwortung oder irgendeine Haftung für Folgeschäden übernimmt, die auf falschen Gebrauch oder falschen Einsatz der Hard- bzw. Software zurückzuführen sind. Ebenso können ohne vorherige Ankündigung Layout oder Design der Hardware geändert werden. PHYTEC Meßtechnik GmbH geht damit keinerlei Verpflichtungen ein.

Copyright 1996 PHYTEC Meßtechnik GmbH. Alle Rechte vorbehalten. Kein Teil dieses Buches darf in irgendeiner Form ohne schriftliche Genehmigung der Firma PHYTEC Meßtechnik GmbH unter Einsatz entsprechender Systeme reproduziert, verarbeitet, vervielfältigt oder verbreitet werden.

PHYTEC Meßtechnik GmbH
Robert-Koch-Straße 39
D-55129 Mainz

1. Auflage Januar 1996

1. DSP-Zugriff auf das grabbMODUL-1	3
2. Hardware-Voraussetzungen.....	6
3. Inbetriebnahme.....	6
4. Softwareentwicklung	7
5. Literatur- und Quellenverzeichnis	8

1. DSP-Zugriff auf das grabbMODUL-1

Der Adreßraum des grabbMODUL-1 (8k, A12..A1) ist in den Bereich /CS_EXT0 gemapped. Der Bereich /CS_EXT0 belegt den Adreßraum 6000h bis 7FFFh und ist für I/O- und DATA-Zugriff ausdekodiert.

Die folgende Tabelle zeigt die Integration im DSP-Adressraum.

Tab. 1: Integration des grabbMODUL-1 im Adressierung-Layout des MM-DSP-C5x

Adressierungs-Layout					
Adresse	CODE	DATA	I/O	GLOBAL	
0000h 0003h	On-Chip Interrupt-Vektoren	nicht verfügbar	FLASH-Memory Segment-Register ext. SRAM Segment-Register Config-Register UART 8-Bit I/O-Port frei	nicht verfügbar	
0004h 0007h		On-Chip Memory- Mapped Registers			
0008h 000Fh					
0010h 0017h					
0018h 001Fh					
0020h 0027h					
0028h 002Fh					
0030h 004Fh					On-Chip ROM
0050h 005Fh					On-Chip Memory-Mapped I/O-Ports
0060h 007Fh					On-Chip DARAM B2, 32 x16
0080h 00FFh	nicht verfügbar				
0100h 02FFh	On-Chip DARAM B0 mit CNF=0, 512 x16				
0300h 04FFh	On-ChipDARAM B1, 512 x 16				
2C00h 5FFFh	frei	frei			
6000h 7FFFh	frei	/CS_EXT0: grabbMODUL-1 Bereich			
8000h 9FFFh	FLASH-Memory 256k (512k) x 16 in 8 32k-Segmenten, A18 liegt am VPP- Pin	ext. SRAM 256k x16 in 8 32k Segmenten (DAM-Bit = 0) oder 512k x 8 in 16 Segmenten (DAM-Bit = 1)	/CS_EXT1, /CS_EXT0	FLASH-Memory Boot-Segment	
A000h BFFFh			/CS_EXT2, /CS_EXT0		
C000h DFFFh			/CS_EXT3, /CS_EXT0		
E000h FFF7h			/CS_EXT4, /CS_EXT0		
FFF8h FFFFh					PLD-Boot- Routine-Selection- Word

Für einen fehlerfreien Betrieb sind für beide Bereiche mindestens 5 Wait-States (MM-DSP-C5x mit 40MIPS/25ns) erforderlich [1,2]. Wird der DSP-interne, programmierbare Wait-State Generator genutzt, muß mit 7 Wait-States gearbeitet werden, da nur die Einstellungen 0, 1, 2, 3, 7 möglich sind [3]. Die Wait-States für DATA sind im Register PDWSR und für I/O im Register IOWSR einstellbar. Im Register CWSR müssen die Bits 1, 2 und 4 gesetzt werden.

Tab. 2: Registereinstellungen für den Betrieb mit 7 Wait-States

Zugriff	Register	Bereich	Bit 15/14	Bit 13/12	Bit 11/10	Bit 9/8	Bit 7/6	Bit 5/4	Bit 3/2	Bit 1/0
DATA	PDWSR	4000h-7FFFh	X X	X X	11	X X	X X	X X	X X	X X
I/O	IOWSR	6000h-7FFFh	X X	X X	X X	X X	X X	11	X X	X X
	CWSR							1X	X1	1X

Als Zugriffsoptimierung wurde im Systemcontroller-EPLD (EPM7128E/S) ein externer, programmierbarer Wait-State Generator (WSG) untergebracht. Dieser füllt die Lücke zwischen 3 und 7 Wait-States.

Der WSG liefert bei einem Zugriff auf den Bereich /CS_EXT0 ein Ready-Signal (Modulrand: Pin147), das extern in den Ready-Eingang am Modulrand (Pin 26) eingespeist werden muß. Konfiguriert wird der WSG im Konfig-Register (I/O-Adresse: 10h) [3].

Tab. 3: Konfiguration des externen Wait-State Generators...

Config-Bit 1: WS1	Config-Bit 0: WS0	Funktion
0	0	ext. Wait-State Generator deaktiviert
0	1	4 Wait-States
1	0	5 Wait-States
1	1	6 Wait-States

2. Hardware-Voraussetzungen

Die Jumper J4 und J5 des grabbMODUL-1 müssen jeweils auf die Positionen 1-2 gesetzt werden [4]. Auf dem MM-DSP-C5x ist der Hold-Jumper J4 auf 1-2 zu setzen. Die physikalischen Signalverbindungen der beiden Module werden über die Stift-, Buchsenleisten am Modulrand hergestellt. Die Signalbelegung ist kompatibel. Wird der EPLD-Waitstate-Generator genutzt, ist eine physikalische Verbindung zwischen den Modulrand-Pins 147 und 26 herzustellen. Für den Softwaredownload kann entweder der Monitor-Port (RS232-Port) oder der Bootport (PC-Druckerport - synchroner Serial-Port) genutzt werden [3].

3. Inbetriebnahme

Für die Inbetriebnahme der Module benötigen Sie eine stabilisierte Gleichspannungsquelle, die 5V (+5%) bei einem Strom von minimal 700mA liefert (MM-DSP-C5x Maximalausbau). Vcc (+5V) wird an die Modulpins 1,2 oder 65,66 und GND an 63,64 oder 127,128 angeschlossen.

4. Softwareentwicklung

Der prinzipielle Aufbau eines Assembler-Betriebsprogrammes ist in dem Demoprogramm `c5x_grab.asm` dargesellt.

Es ist zu beachten, daß die VRAMs des `grabbMODUL-1` nach jedem Zugriff Erholzeit benötigen. Deshalb können für den Datentransfer die entsprechenden DSP-Befehle nicht im Repeat-Modus betrieben werden.

Das folgende Listing soll den Sachverhalt verdeutlichen:

```

.
.
        splk #2,INDX                ; indizierte Adressierung mit 2
        lar AR5,#06800h            ; OV_RAS Basisadresse
        mar *,AR5                  ; ARP = AR5
        lar AR6,*0+,AR6           ; OV_RAS Zugriff, um die
                                   ; RAS-Adresse zu übergeben
        lar AR6,#06C00h           ; OV_CAS Basisadresse

; Beispiel für den Datentransfer im Repeat-Modus, der die
; Erholzeit der VRAMs verletzt.
fi512_z:    ; 512 Pixel (1 Zeile)
            rpt #01FFh            ; transferieren.
            bldd *0+,#08000h      ; Dieser Befehl im Repeat-Modus
                                   ; verletzt die Erholzeit des
                                   ; OV_VRAM auf dem grabbMODUL-1

; Beispiel für einen Datentransfer, der die Erholzeit der
; VRAMs berücksichtigt.
        splk #07000h,ARCR         ; Adress-Compareregister laden
        mar *,AR6                ;
fi512_z:    ; 512 Pixel (1 Zeile) transf.
            lacc *0+,8,AR4        ; ACCU <<8= Pixel
            sacl *+,0,AR6        ; Pixel im High-Byte SRAM
                                   ; speichern, Low-Byte wurde beim
                                   ; Shifting gelöscht
            cmpr 1                ; TC = ARCR > AR6
            bcnd fi512_z,TC
.
.

```

5. Literatur- und Quellenverzeichnis

- [1] TMS320C5x User's Guide, Texas Instruments, Januar 1993, PHYTEC Lit.-Nr.: L-211
- [2] TMS320C5x, TMS320LC5x DIGITAL SIGNAL PROCESSORS, Texas Instruments, April 1995, PHYTEC Lit.-Nr.: L-212
- [3] Hardwaremanual MM-DSP-C5x, PHYTEC Meßtechnik GmbH, Ausgabe Januar 1996, PHYTEC Lit.-Nr.: L-213
- [4] Hardwaremanual grabbMODUL-1, PHYTEC Meßtechnik GmbH, Version 0.0, Ausgabe Juli 1995, PHYTEC Lit.-Nr.: L-148

Published by

PHYTEC

PHYTEC Meßtechnik GmbH 1996

Ordering No. L-219-01
Printed in Germany